
Synthèse et mise en œuvre des systèmes (ex : Pilote de barre franche)

Bureau d'étude
M2 SME
module EIEAS3G1

DOCUMENTATIONS

Pour plus d'infos :

Site web Thierry PERISSE

http://thierryperisse.free.fr/?page_id=578

Site Web Jean-Louis Boizard

http://jeanlouis.boizard.free.fr/m2_sme/som_m2_sme.htm

Cours Eric PERONNIN

[Composants logiques reconfigurables](#)

http://thierryperisse.free.fr/wp-content/uploads/2019/08/composants_programmables_Eric_PERONNIN.pdf

[Manuel utilisation Quartus II](#)

ftp://thierryperisse@ftpperso.free.fr/BE%20VHDL/manuel_quartus2_DenisRabaste.pdf

Denis Rabaste

Organisation du Bureaux d'études (1)

1) Présentation des objectifs et de l'organisation du bureau d'études

a. objectifs terminaux du BE :

- *analyse de spécifications et découpage fonctionnel du système choisi.*
- *Conception de circuits d'interfaces numériques en VHDL (conception, simulation, vérification sur maquette)*
- *Notion de Co-design et règles de conception*
- *interfaçage avec bus microprocesseur (NIOS + Altera **Avalon**)*
- *conception d'un SOPC et intégration D'IP (Intellectual Properties) propriétaires et fournisseurs tiers*
- *notions de simulation « Hardware In the Loop »*
- *validation du SOPC en simulation (pour parties) et sur maquette*

b. Nombre de séances (environ 20x4h)

c. Répartition des activités (2 interfaces mini à concevoir par binôme + SOPC)

d. Règles communes de fonctionnement des BE (absences, avancement du BE, évaluation, ...)

Organisation du Bureaux d'études (2)

2) Présentation des circuits FPGA et tendances actuelles

3) Présentation de l'exploration architecturale

*le Système étudié sera le **pilote de barre franche***

- *Analyse des besoins et décomposition fonctionnelle des interfaces*

4) Exercices VHDL (TPs) et prise en main de l'environnement Quartus 9.0

(simulation + maquette Terasic DE2) :

- *Mémorisation, comptage/division, Registre à décalage, MAE, PWM, ...*

5) Développement et validation des interfaces

(Quartus 9.0 Terasic DE2/Quartus 11.0 De0 Nano)

6) Conception du SOPC et intégration des interfaces

(Quartus 11.0 Terasic DE0 Nano)

7) Développement du soft en langage C

(NIOS II IDE 11.0)

8) Intégration et validation du système

(NIOS II IDE 11.0, DE0 Nano, Maquette)

9) Rédaction d'un rapport de 20 pages et présentation orale (voire vidéo)

Choix en BE VHDL (FPGA Altera)

Xilinx est l'inventeur du FPGA.

Xilinx et Altera (Intel maintenant) sont leaders sur le marché des FPGA

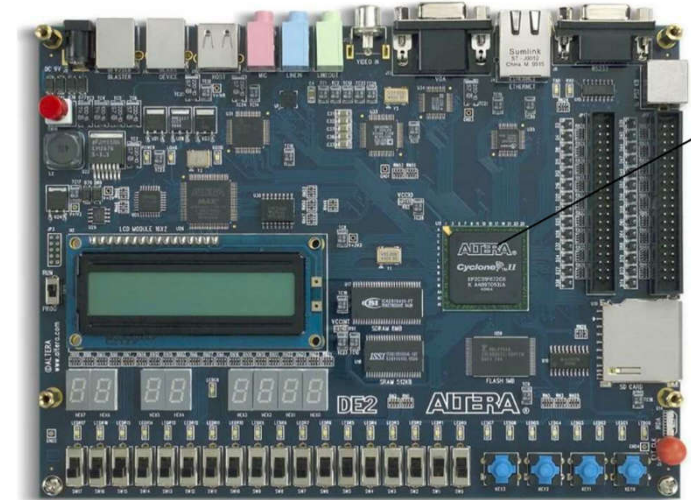
Ils développent tous les deux des programmes universitaires intéressants :

- Soutien des projets de recherche
- Soutien pédagogique avec des donations :
 - Logiciels en version complète et couvrant toute la gamme des FPGA et CPLD Xilinx et Altera.
 - Cartes de développement gratuites ou à des tarifs préférentiels :
 - Altera DE2 à base de FPGA Cyclone II**
 - Altera DE0 Nano à base de FPGA Cyclone IV**

Cartes utilisées en TPs et BE :

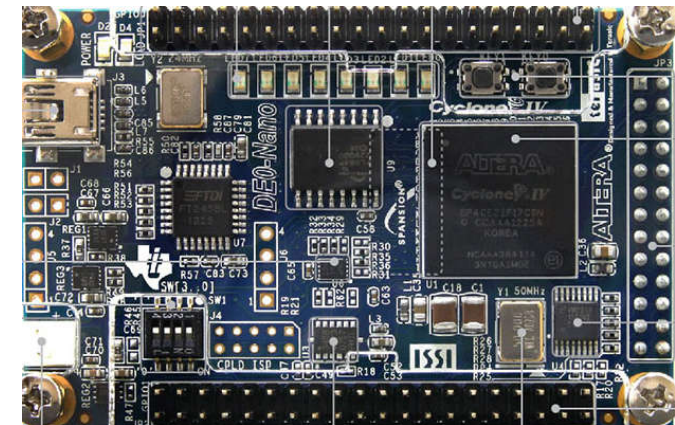
- **TERASIC DE2-C35 équipée d'un FPGA cyclone 2 (TPs + BE)**

- Altera cyclone 2 : ref : EP2C35F672C6N
- 33 216 éléments logiques
- 473 Kbits de SRAM embarquée
- 35 multiplieurs câblés (18x18 bits)
- 4 PLL
- 475 E/S
- 672 broches
- boîtier FBGA (Flip chip Ball Grid Array)



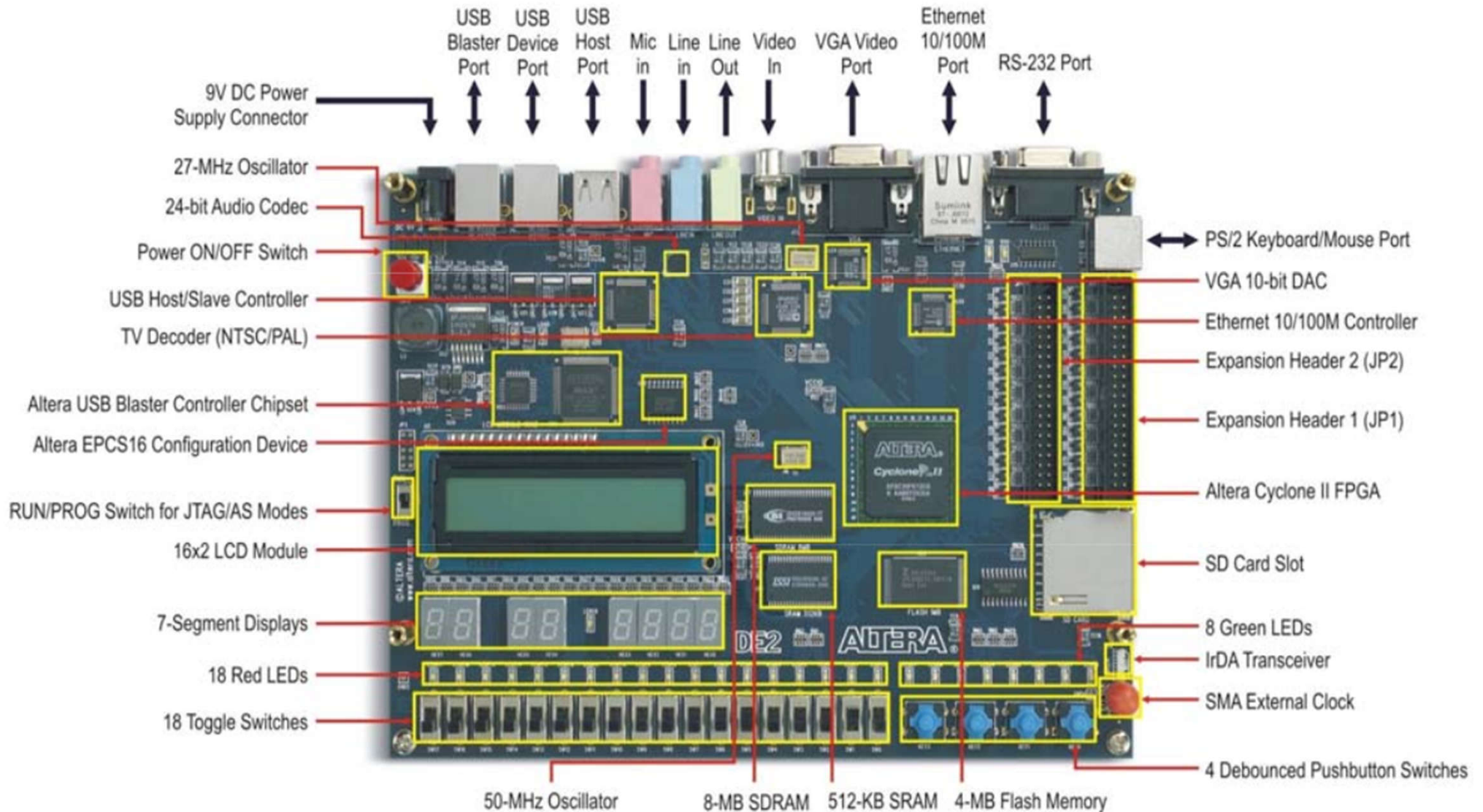
- **DE0 Nano équipée d'un cyclone 4 CE22 (BE)**

- Altera cyclone 4 : ref : EP4CE22F17C6N
- 22 320 éléments logiques
- 594 Kbits de SRAM embarquée
- 66 multiplieurs câblés (18x18 bits)
- 4 PLL
- 153 E/S
- 256 broches
- boîtier FBGA (Flip chip Ball Grid Array)



Cartes utilisées en TPs (BE) :

- **TERASIC DE2-C35 équipée d'un FPGA cyclone 2 (TPs + BE)**



Cartes utilisées en BE :

- DE0 Nano équipée d'un cyclone 4 CE22 (pour le projet)

