Électronique Numérique

Chapitre 4 Système Combinatoire

perisse@cict.fr
UPS Toulouse

1

Système combinatoire Combinatoire : définition

On appelle **systeme combinatoire** tout systeme numerique dont les sorties sont exclusivement definiées à partir des variables d'entrée. Tous changements dans les signaux appliques aux entrées se propage immédiatement à travers les portes jusqu'à ce que leurs effets apparaissent aux sorties.

Système combinatoire

Niveau Logique en électronique

0/1 sont représentées par des tensions, courants, fréquences etc.
Classiquement, on utilise des **TENSIONS**.

0 / 1 correspondent à deux niveaux :

Niveau haut = H (le plus positif)

Niveau bas = L (le plus négatif)

Plusieurs possibilités pour représenter l'information

Association d'une information binaire à un niveau :

Logique positive: → signal actif H(1)
signal inactif L(0)

Logique négative: → Signal actif H(0)
signal inactif L(1)

La logique positive est plus « intuitive », mais la logique négative est souvent utilisée car, dans certain cas, elle permet d'optimiser la vitesse ou la consommation d'un circuit (exemple les « Strobes » et les « chip select »)

Système combinatoire

Table de vérité

La fonction logique réalisée par un circuit dépend de la convention utilisée.

Porte ET

E_1	E_2	S
0	0	0
0	1	0
1	0	0
1	1	1

Table logique

Table de vérité

Table de vérité

La fonction logique réalisée par un circuit dépend de la convention utilisée.

Porte OU

	E_2	1	0
E_1	1	1	1
	0	1	0

Table logique

E_1	E_2	S
1	1	1
1	0	1
0	1	0
0	0	0

Table de vérité

Table de vérité

La fonction logique réalisée par un circuit dépend de la convention utilisée.

Porte NOR

	E_2	1	0
E_1	1	0	0
	0	0	1

Table logique

E_1	E_2	S
1	1	0
1	0	0
0	1	0
0	0	1

Table de vérité

Table de vérité

La fonction logique réalisée par un circuit dépend de la convention utilisée.

Porte NAND

	E_2	0	1
E_1	0	1	1
	1	1	0

Table logique

E_1	E_2	S
0	0	1
0	1	1
1	0	1
1	1	0

Table de vérité

Table de vérité

Donner la Table logique et la Table de vérité d'une Porte OU EXCLUSIF ?

Donner l'équation de la sortie S ?

	E_2	0	1
E_1	0		
	1		

Table logique

E_1	E_2	S
0	0	
0	1	
1	0	
1	1	

Table de vérité

Propriétés (1) de ET,OU,NON

➤ Commutativité

$$a+b = b+a$$

$$a.b = b.a$$

➤ Associativité

$$a+(b+c) = (a+b)+c$$

$$a.(b.c) = (a.b).c$$

➤ Distributivité

$$a.(b+c) = a.b+a.c$$

$$a+(b.c) = (a+b).(a+c)$$

➤ Idempotence

$$a+\bar{a} = a$$

$$a.\bar{a} = a$$

➤ Absorption

$$a+a.b = a$$

$$a.(a+b) = a$$

➤ Involution

$$\overline{\overline{a}} = a$$

Propriétés (2) de ET,OU,NON

➤ Élément neutre

$$a+0 = a$$

$$a.1 = a$$

➤ Élément absorbant

$$a+1 = 1$$

$$a.0 = 0$$

➤ Inverse

$$a+\bar{a} = 1$$

$$a.\bar{a} = 0$$

➤ Théorème de DE Morgan

$$\overline{a+b} = \bar{a} . \bar{b}$$

$$\overline{a.b} = \bar{a} + \bar{b}$$

➤ Théorème du Consensus

$$a.x+b.\bar{x}+a.b = a.x+b.\bar{x}$$

$$(a+x)(b+\bar{x})(a+b) = (a+x)(b+\bar{x})$$

Représentation graphique : *Norme française*

Nb : La représentation française est utilisée en symboles logiques
 Norme ANSI/IEEE Std: 91-1984 : Standard Graphic Symbols for Logic Functions

Représentation graphique : *Norme américaine*

Nb : La norme américaine est la norme utilisée dans les « datasheets » pour dessiner les diagrammes (schémas) logiques.

Réalisation des fonctions logiques

Problème
(cahier des charges)

Fonctions logiques

Fonctions logiques
simplifiées

coût / vitesse / encombrement / fiabilité ?

Attention : critères pas
toujours compatibles

Réalisation Technologique

Composants combinatoires

- Portes intégrés et inverseurs (Gates)
- Portes cascables (Expanders)
- Multiplexeur / demultiplexeur
- Codeurs / Decodeurs
- Transcodeurs
- Comparateurs / Detection d'erreurs
- Circuits arithmétiques (add, ALU, mult)

- Mémoires
- Composants programmables (PLD)

Système combinatoire

Portes intégrées

Porte de base la plus fabriquée : NAND

CI =	4 NAND à 2 entrées	TTL	CMOS
	3 « 3 «	7400	4011
	2 « 4 «	7410	4023
	1 « 8 «	7420	4012
		7430	4068

Remarque : 4 NAND à 2 entrées

$$2 \times 4 \text{ entrées} + 1 \times 4 \text{ sorties} + V_{cc} + Gnd = 14 \text{ pattes}$$

Système combinatoire

Expander (historique)

Les premières portes complexes intégrées :
AND-OR-INVERT

Donner les équations de sorties en fonction de a, b, c, d et de e ?

AND-OR-INVERT expandable
ou EXPANDER

Système combinatoire

Expander (historique)

Les premières portes complexes intégrées :
AND-OR-INVERT (exemple AOI 2-2-1)

Système combinatoire

Multiplexeur (1/2)

Sélection d'une voie parmi 2^N par N bits de commande

Si $(S_1 S_0)_2 = 0$ alors $Q = I_0$
 $Q = \overline{S_0} \cdot \overline{S_1} \cdot I_0$

Si $(S_1 S_0)_2 = 1$ alors $Q = I_1$
 $Q = S_0 \cdot \overline{S_1} \cdot I_1$

...
...

Donner l'équation de Q en fonction de S_1, S_0, I_i ?
Réaliser le logigramme de Q à l'aide de portes NONs, Ets, OUs ?

Système combinatoire

Multiplexeur (2/2)

Sélection d'une voie parmi 2^N par N bits de commande

Si $(S_1 S_0)_2 = 0$ alors $Q = I_0$
 $Q = \overline{S_0} \cdot \overline{S_1} \cdot I_0$

Si $(S_1 S_0)_2 = 1$ alors $Q = I_1$
 $Q = \overline{S_0} \cdot S_1 \cdot I_1$

...

...

$$Q = \overline{S_1} \cdot \overline{S_0} \cdot I_0 + \overline{S_1} \cdot S_0 \cdot I_1 + S_1 \cdot \overline{S_0} \cdot I_2 + S_1 \cdot S_0 \cdot I_3$$

Système combinatoire

Multiplexeur (constitution) (2/2)

$$Q = \overline{S_1} \cdot \overline{S_0} \cdot I_0 + \overline{S_1} \cdot S_0 \cdot I_1 + S_1 \cdot \overline{S_0} \cdot I_2 + S_0 \cdot S_1 \cdot I_3$$

Systeme combinatoire

Démultiplexeur : 1 parmi 2ⁿ

$Q_0 = E \text{ si } (S_1 S_0)_2 = 0$
 $\bar{E}$ sinon

$Q_1 = E \text{ si } (S_1 S_0)_2 = 1$
 $\bar{E}$ sinon

$Q_2 = E \text{ si } (S_1 S_0)_2 = 2$
 $\bar{E}$ sinon

$Q_3 = E \text{ si } (S_1 S_0)_2 = 3$
 $\bar{E}$ sinon

Remarque : E peut ne pas être «disponible»
 Sortie sélectionnée = 1 les autres 0 ou
 Sortie sélectionnée = 0 les autres 1

Systeme combinatoire

Démultiplexeur : 1 parmi 2ⁿ

Donner l'équation de Q0?

Donner l'équation de Q1?

Q2?

Q3?

Réaliser les logigrammes de Q0, Q1, Q2, Q3 ?

Démultiplexeur : 1 parmi 2ⁿ

E=1

$$Q_0 = E \cdot \bar{S}_1 \cdot \bar{S}_0 + \bar{E} \cdot \bar{S}_1 \cdot \bar{S}_0$$

$$= E \cdot \bar{S}_1 \cdot \bar{S}_0 + \bar{E} \cdot (S_1 + S_0)$$

$$Q_0 = \bar{S}_1 \cdot \bar{S}_0$$

$$Q_1 = E \cdot \bar{S}_1 \cdot S_0 + \bar{E} \cdot \bar{S}_1 \cdot S_0$$

$$= E \cdot \bar{S}_1 \cdot S_0 + \bar{E} \cdot (S_1 + \bar{S}_0)$$

$$Q_1 = \bar{S}_1 \cdot S_0$$

Ex : Multiplexage / Démultiplexage

Avec n lignes d'adresses, il est possible de multiplexer/démultiplexer 2ⁿ infos.
Le multiplexage/démultiplexage est dit "analogique" lorsqu'il est possible de faire transiter des tensions variables (et pas simplement un signal binaire).

Exercice : réalisation de la logique de contrôle :

- Donner la table de vérité des interrupteurs T0, T1, T2, T3 .
- Donner les équations de T0, T1, T2 et T3 en fonction de A0 et A1.
- Donner le schéma logique correspondant (c'est la logique de contrôle du schéma fonctionnel ci-dessus).
- Donner l'équation de S en fonction de A0, A1, Va, Vb, Vc et Vd .

Système combinatoire

Codeur (ou Encodeur)

Faire correspondre un mot code à un symbole

Exemple : Clavier / Scan code
Caractère / Code ASCII

Système combinatoire

Décodeur

Remarque : Multiplexeur ↔ Démultiplexeur
Codeur ↔ Décodeur

Décodeur = Démultiplexeur (à E fixe)

Exemple : adresses pixel / position effective pixel

Système combinatoire

Ex : Codeur / Décodeur

Exercice : réalisation de la logique de contrôle d'un Codeur/Décodeur:

Donner les tables de vérités du Codeur et du Décodeur.

Pour le CODEUR : Donner les 3 équations de A_2, A_1, A_0 en fonction de $Y_0, Y_1 \dots Y_7$.

Pour le DECODEUR : Donner les 8 équations de $Y_0, Y_1, Y_2 \dots Y_7$ en fonction des entrées A_2, A_1, A_0 .

Donner les schémas correspondant en utilisant des portes logiques.

Système combinatoire

Transcodeur

Passage d'un code quelconque C_1 à un autre code C_2

Ex : Transcodeur BCD/7 Segments

Code BCD 0 à F

Donner les équations de sorties des 7 segments (a, b, c, d, e, f, g) en fonction des entrées I_i avec $i = 0, 1, 2, 3$. (sachant que l'afficheur est à cathode commune).

Ex : Transcodeur BCD/7 Segments

Schéma interne d'un afficheur à anode commune

Schéma interne d'un afficheur à cathode commune

Donner les équations de sorties des 7 segments (a, b, c, d, e, f, g) en fonction des entrées I_i avec $i = 0, 1, 2, 3$. (sachant que l'afficheur est à cathode commune).

Ex : Additionneur binaire (2 mots x 2 bits)

Soit deux nombres binaires sur 2 bits A et B , on veut effectuer $R = A+B$ (arithmétique). R est sur 3 bits, (R_2 étant la retenue).

- Donner la table de vérité de $R_i = F_i (A_1, A_0, B_1, B_0)$.
- Donner les formes canoniques de F_i .
 - Première forme : produit de sommes.
 - Deuxième forme : somme de produit.
- Simplifier les équations.
 - Premièrement de manière algébrique.
 - Deuxièmement par tableau de Karnaugh.
- Proposer des schémas à base de portes OU, ET, NON.

Ex : Additionneur binaire (2 mots x 2 bits)

Table de vérité

A1	A0	B1	B0	R2	R1	R0
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

Ex : Additionneur binaire (2 mots x 2 bits)

A1	A0	B1	B0	R2	R1	R0
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	0	1	1
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	1
1	0	1	0	1	0	0
1	0	1	1	1	0	1
1	1	0	0	0	1	1
1	1	0	1	1	0	0
1	1	1	0	1	0	1
1	1	1	1	1	1	0

Chap 4

perisse@cict.fr
UPS Toulouse

33

Ex : Additionneur binaire (2 mots x 2 bits)

Donner les formes canoniques de Fi

Première forme canonique : *somme de produits*.

$$\rightarrow R_2 = (\bar{A}_1 \cdot A_0 \cdot B_1 \cdot B_0) + (\dots) + \dots$$

$$R_1 = \dots$$

$$R_0 = \dots$$

Deuxième forme canonique : *produit de sommes*.

$$\bar{R}_2 = (\bar{A}_1 \cdot \bar{A}_0 \cdot \bar{B}_1 \cdot \bar{B}_0) + (\dots) + \dots$$

$$\rightarrow R_2 = \bar{\bar{R}}_2 = (\bar{A}_1 + \bar{A}_0 + \bar{B}_1 + \bar{B}_0) \cdot (\dots) \dots$$

$$R_1 = \dots$$

$$R_0 = \dots$$

Chap 4

perisse@cict.fr
UPS Toulouse

34

Ex : Additionneur binaire (2 mots x 2 bits)

Simplifier les équations

Simplification algébrique à l'aide de théorèmes.

Simplification graphique par tableau de Karnaugh.

Proposer le logigramme de l'additionneur

Comparateur binaire (2 mots x 4 bits)

Comparateur n-1

ES pour $A > B$
EE pour $A = B$
EI pour $A < B$

Fonctionnement du comparateur :

Si A est strictement supérieur à B, alors la sortie S « $A > B$ » passe à 1 (et les deux autres sont mises à zéro)
Si A égal B, alors la sortie E « $A = B$ » est mise à 1.
De même si A inférieur strict à B, la sortie I « $A < B$ » est mise à 1.

La comparaison se fait bit à bit, les bits de poids forts sont prioritaires pour l'affectation des sorties. Ainsi, si $A_3 > B_3$, quelque soit A_2, A_1, A_0 et B_2, B_1, B_0 , on aura la sortie « $A > B$ » à 1 et les autres sorties à 0.

Remarque :

Les entrées de mise en cascade ES, EE, IS sont prévues pour permettre la comparaison des nombres ayant plus de 4 bits. Ces entrées sont ignorées tant que les nombres ne sont pas égaux, si les 2 nombres sont égaux, la sortie dépend alors des valeurs des entrées de mise en cascade.

TD : Comparateur binaire (2 mots x 4 bits)

Réalisation de la logique d'un Comparateur binaire:
 Donner la table de vérité du Comparateur binaire ci-dessus.
 Donner les 3 équations de S, E, I en fonction des entrées.
 Donner les schémas correspondant en utilisant des portes logiques.
 Donner le câblage d'un comparateur binaire (2x8bits) à l'aide de 2 comparateurs (2x4 bits).

ALU : Unité Arithmétique et Logique

Déf : Ensemble de circuits capables d'effectuer toutes les opérations logiques et arithmétiques sur deux nombres de n digits.

Exemples :

- R = A + B
- R = A - B
- ...
- R = A ou B
- R = A nand B
- ...
- Décalage de A.
- Test sur 1 ou plusieurs bits de A.
- ...

Choix de la fonction

Système combinatoire

Mémoires

Déf : Stockage et conservation de données

2^n mots de m bits

A : Bus d'adresses sur n Bits (n fils)
unidirectionnel

D : Bus de données (donnée sur m Bit)
bidirectionnel

C : Bus de contrôle

ex : lecture/écriture

$R/\overline{W}=1 \rightarrow$ lecture

$R/\overline{W}=0 \rightarrow$ écriture

entrée de sélection du circuit
CS

*Pour des mémoires d'une capacité de : 1 ko, 2 ko, 64 ko.
Donner le nombre de cases mémoires adressables ?
Donner le nombre de fils nécessaires pour l'adressage ?*

Système combinatoire

PLD (Composants programmables)

Composant acheté sous forme générique et spécialisé par l'utilisateur.

Actuellement (en 2005) :

maxi 1 Mega portes
qq ns de tps de calcul
qq Mbits de RAM
#1200 IO