

# Électronique Numérique

## Chapitre 3 :

### Les convertisseurs

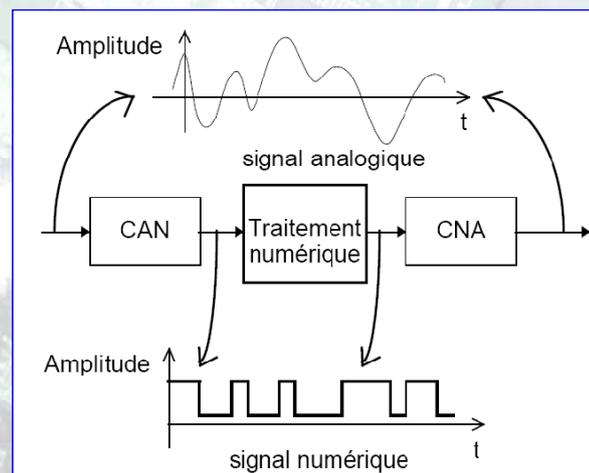
- Analogique-numérique (ADC ou CAN)
- Numérique-analogique (DAC ou CNA)

Thierry Perisse perisse@cict.fr  
U.P.S. Toulouse

1

### Les Convertisseurs Numérique-Analogiques et Analogique-Numériques :

## DAC/ADC : Généralités



### *Avantages de la technique numérique(/analogique) :*

- Moins cher (conception, test, fabrication).
- Beaucoup d'opérations de traitement du signal sont plus faciles à réaliser en numérique.
- Moins sensible aux bruits.
- L'implémentation numérique offre une meilleure flexibilité en permettant la programmation.

# CNA/CAN : Définitions

**Dynamique** : Variation possible de tension (ou de courant)  
[de sortie pour un CNA / d'entrée pour un CAN]

**Format** : Format du mot binaire (S+M / C(2) / BCD/ ...)

**Résolution** : Plus petite tension manipulable (Dynamique/2<sup>n</sup>)  
[confondu souvent avec le nombre de bit]

**Cadence** : Vitesse de conversion en «Sample Per Seconde» (SPS)  
[peut être exprimé en MHz du signal d'entrée pour un CAN]

**Précision** : Différence entre la sortie théorique et effective  
[exprimé en %, mv ou lsb]

**Fidélité** : Le fait de donner le même résultat pour une entrée donnée

**Linéarité** (erreur de) : différence entre la courbe idéale et effective

# CNA/CAN (doc. Technique de l'ingénieur)

## Evolutions du marché des CAN et CNA

Tableau 1 – Les neufs premiers fabricants de CAN et CNA en 2001

Place	Société	Chiffre d'affaires 2001 pour la conversion (millions de \$)	Part de marché (%)
1	Analog Devices (ADi)	465	33
2	Texas Instruments (TI)	200	14
3	Maxim	154	11
4	Philips	95	7
5	National Semiconductor (NSC)	55	4
6	MicroChip	50	4
7	Intersil	50	4
8	Hitachi	39	3
9	Sony	33	2
<b>Total des 9 sociétés</b>		1 141	82
<b>Total marché</b>		≈ 1 400	100

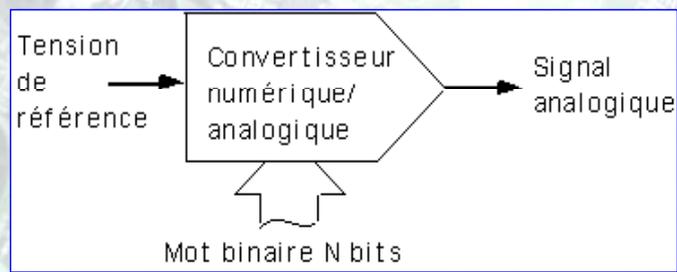
# Les Convertisseurs Numérique-Analogiques

Thierry Perisse perisse@cict.fr  
U.P.S. Toulouse

5

Les Convertisseurs Numérique-Analogiques :

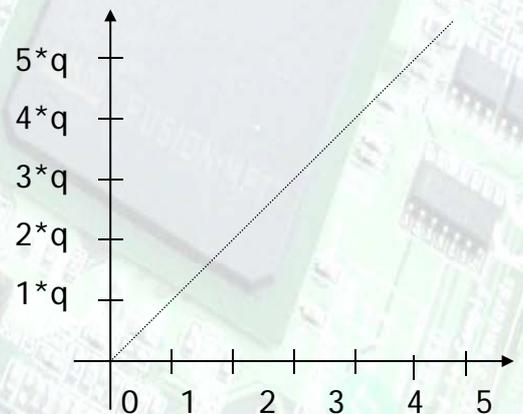
## Généralités et Principes



$$U_{\text{out}} = U_{\text{réf}} \cdot \frac{A_0 \cdot 2^0 + A_1 \cdot 2^1 + A_2 \cdot 2^2 + \dots + A_{n-1} \cdot 2^{n-1}}{2^n - 1}$$

$$V_{\text{out}} = N \cdot q$$

Tension de sortie

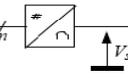
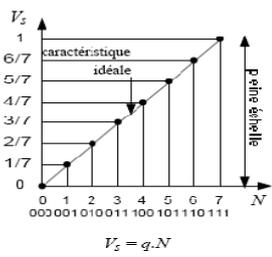
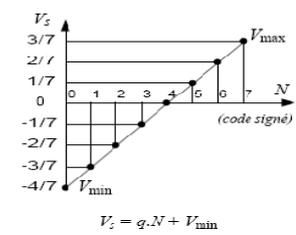


Code d'entrée

$U_{\text{réf}}$  correspond à la pleine dynamique ( ou PE : Pleine Échelle).

$U_{\text{réf}} / (2^n - 1)$  est aussi appelée quantum (q) ou lsb

# CNA (compléments)

- **Nombre de bits** :  $n$ , nb de valeurs entières distinctes :  $2^n$ , nb d'intervalles :  $2^n - 1$
- **Pleine échelle (full scale)** : Mode unipolaire : PE (FS) =  $V_{max}$   
 Mode bipolaire : PE (FS) =  $V_{max} - V_{min}$   
 NB : dans ce dernier cas, en général  $V_{min} = -V_{max}$ , et est appelé "décalage en tension" (*offset*).
- $N = \frac{V_s}{q}$    $2^n$  valeurs entières  $\in [0, 2^n - 1]$   $\rightarrow 2^n$  tensions distinctes
- **Résolution** ou "pas de quantification" ou "incrément" :  $q = \Delta V_s = \frac{PE}{2^n - 1}$
- **Caractéristique** : unipolaire :  bipolaire : 
- **Sortie analogique** : - sortie en tension : le CNA est un générateur de Thévenin  
 - sortie en courant : le CNA est un générateur de Norton
- **Notations (exemple pour  $n = 8$  bits)** :  
 - notation européenne :  

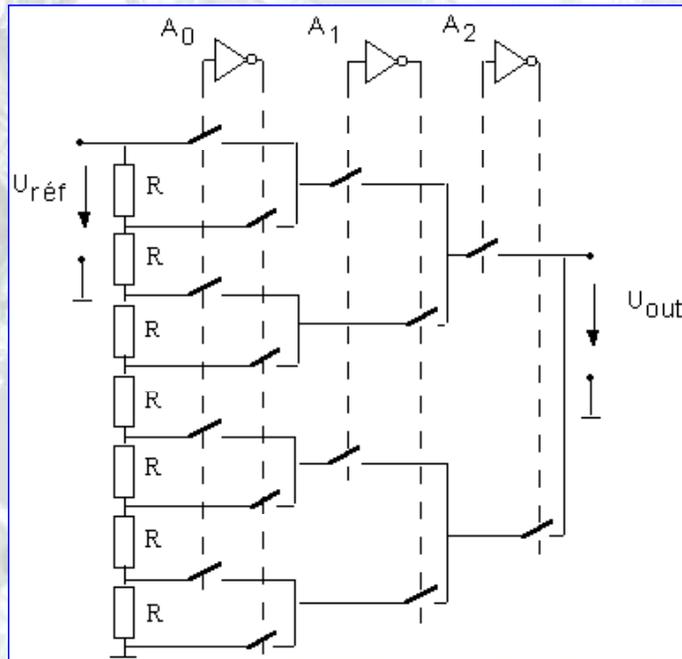
$$V_s = \frac{10}{255} (2^7 D_7 + 2^6 D_6 + \dots + 2 D_1 + D_0) = \frac{PE}{2^n - 1} \sum_{i=0}^{n-1} 2^i D_i$$
  
 - notation américaine :  

$$V_s = 10 \frac{256}{255} \left( \frac{D_7}{2} + \frac{D_6}{4} + \dots + \frac{D_1}{128} + \frac{D_0}{256} \right) = PE \frac{2^n}{2^n - 1} \sum_{i=1}^n \frac{D_{n-i}}{2^i}$$

# Quelques Architectures de CNA

- DAC (CNA) Potentiométrique (à diviseur de tension);
- DAC (CNA) à somme pondérées;
- DAC (CNA) à réseau R/2R;
- DAC ...

# CNA potentiométrique (à diviseur de tension)



**Principe :** On choisit parmi  $2^n$  tensions celle que l'on veut.

**Rmq :** Toutes les valeurs possibles ( $2^n$ ) sont fabriquées par le diviseur potentiométrique.

Choix de la sortie par multiplexage (1 parmi  $2^n$ ).

**Inconvénients :**

- Echelle de résistance.
- Nb Interrupteurs.

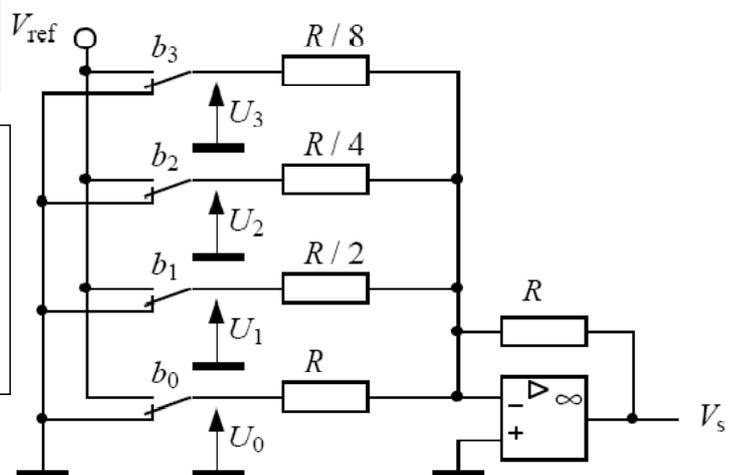
**EX :** Donner l'expression de  $V_{out} = f(V_{ref})$  pour les codes suivants 000 001 101? En déduire l'expression générale de  $V_{out} = f(V_{ref}, A_0, A_1, A_2)$ ?

# Ex : CNA (4 bits) à résistances pondérées

**CNA à résistances pondérées**

Montage de base : unipolaire, sortie en tension :

**Donner  $V_s = f(V_{ref}, b_i)$  ? (4 bits)  
En déduire la relation pour n bits?**



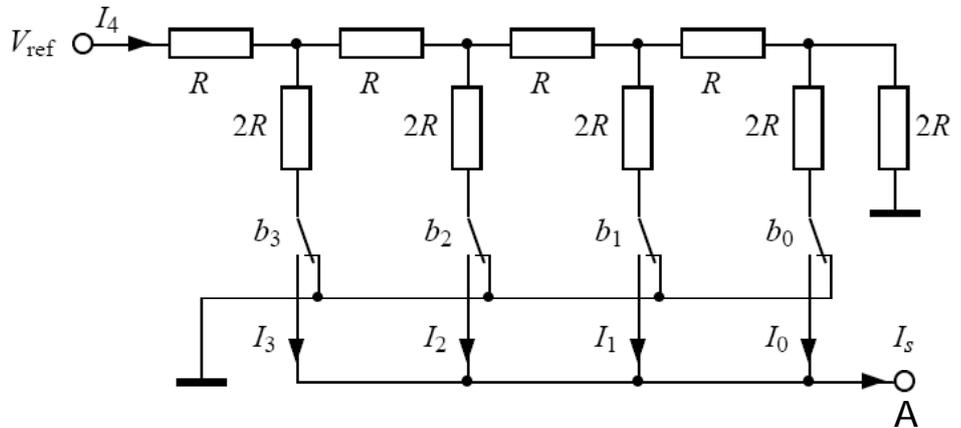
**Inconvénients de ce montage :**

- pas réalisable en valeurs normalisées
- sensibles aux tolérances
- pas intégrables
- pas d'appariement possible

# CNA (4 bits) à réseau R-2R

• CNA à réseau R-2R

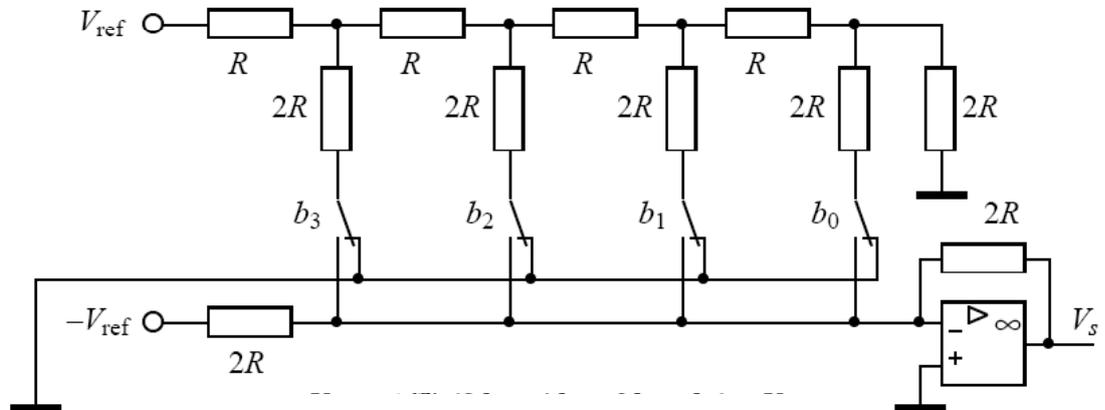
Montage de base : unipolaire, sortie en courant :



*Hyp : Le point A est une masse virtuelle.*  
 Donner l'équation de  $I_s = f(V_{ref}, R, b_i)$  ? (pour 4 bits)  
 En déduire la relation pour n bits?  
 Proposer un montage permettant de convertir  $I_s$  en une tension  $V_s$ .

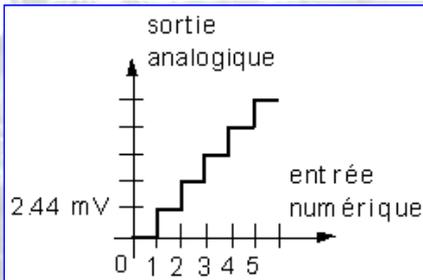
# CNA (4 bits) à réseau R-2R

- Autre montage : bipolaire, sortie en tension :

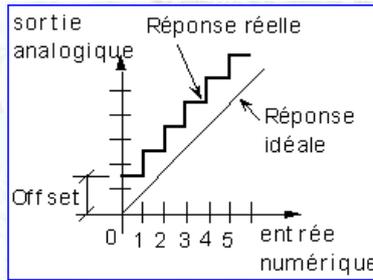


Donner l'équation de  $V_s = f(V_{ref}, R, b_i)$  ? (4 bits)  
 En déduire la relation pour n bits ?

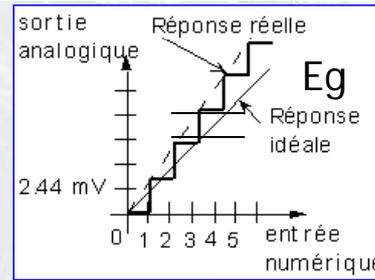
# Les erreurs systématiques



Courbe idéale



Erreur d'offset :  $E_o$

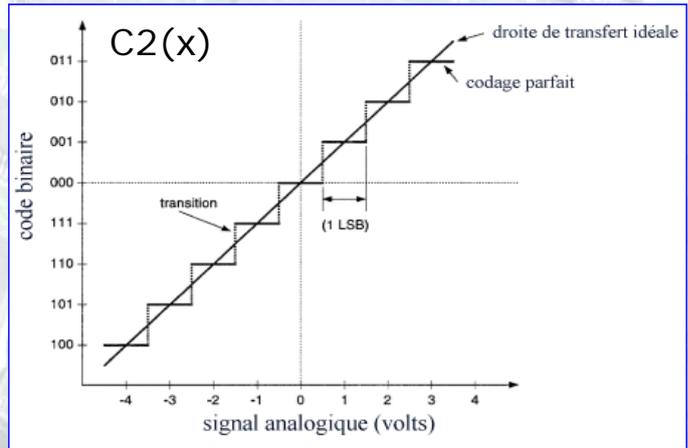
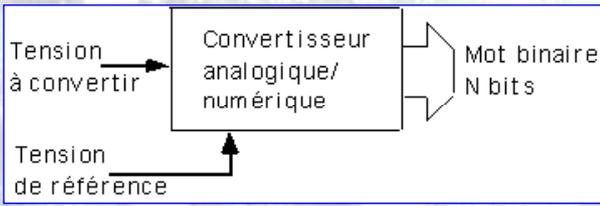


Erreur de gain :  $E_g$   
à erreur d'offset nulle

Etat de l'art des CNA sur le marché			Performances de CNA disponibles sur le marché						
N bits	Fréquence	Architecture	Technologie	Estimation de prix (€)	Consommation (mW)	Boîtier	Référence commerciale	Fabricant	
2 x 24	46 kHz	$\Sigma\Delta$	CMOS	2	64	20 VQFN	PCM1772	TI	
2 x 24	196 kHz	$\Sigma\Delta$	CMOS	7	200	28 SSOP	AD1955	AD	
16	100 MHz	Parallèle 4 x interp.	CMOS	80	860	64 QFP	MB86060	Fujitsu	
12	400 MHz	Parallèle	CMOS	80	300	80 LQFP	MB86061	Fujitsu	
14	250 MHz	Parallèle	CMOS	Non communiqué	54	Fabless (1)	Fabless (1)	Impinj	
14	300 MHz	Parallèle		40	115	48 PQFP	AD9755	AD	
2 x 8	40 MHz	Parallèle	CMOS	4	20	20 QSOP	MAX 5182	Maxim	

# Les convertisseurs Analogique-Numériques

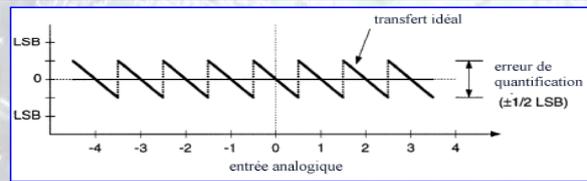
# Généralités et Principes (1)



Imperfections

$$A = N \cdot q + \varepsilon(A) + \varepsilon(s)$$

Analogique  
Discret



La courbe peut être définie par troncature ou par arrondi (1/2.q d'offset)

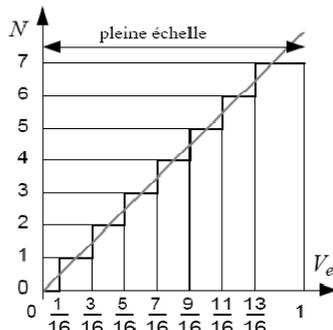
# Généralités et Principes (2)

- **Pleine échelle (full scale)** : Mode unipolaire : PE (FS) =  $V_{max}$   
Mode bipolaire : PE (FS) =  $V_{max} - V_{min}$

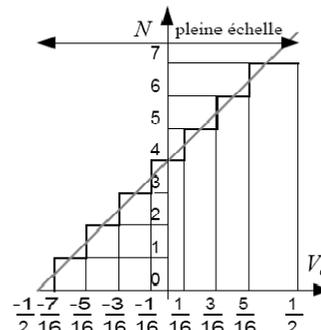
- $2^n$  intervalles de tension  $\in [V_{min}, V_{max}] \rightarrow 2^n$  valeurs entières

- **Résolution** ou "pas de quantification" ou "incrément" :  $\Delta V_e = q = \frac{PE}{2^n}$

- **Caractéristique** (avec N arrondi à l'entier le plus proche) :  
unipolaire : bipolaire :



$$N = \left\lfloor \frac{V_e}{q} + 0,5 \right\rfloor$$



$$N = \left\lfloor \frac{V_e - V_{min}}{q} + 0,5 \right\rfloor$$

# Quelques Architectures de CAN

Architecture flash

Architecture semi-flash

Architecture à double rampe analogique

Architecture à rampe numérique

Architecture à approximation successives

...

# CAN // à comparateurs (Architecture flash)

Exemple d'un CAN 3 bits :

**Principe :**

Fabriquer  $2^n - 1$  seuils à l'aide d'une tension  $V_{ref}$  et de  $2^n$  résistances; Comparer  $V_e$  à ces seuils.

**Avantages :**

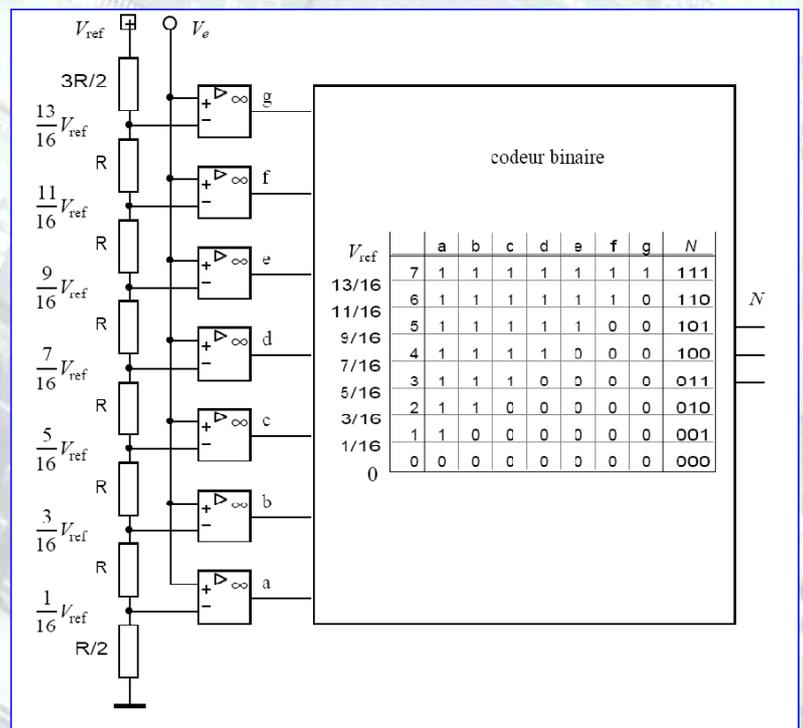
Le plus rapide des CAN(ADC).

**Inconvénients :**

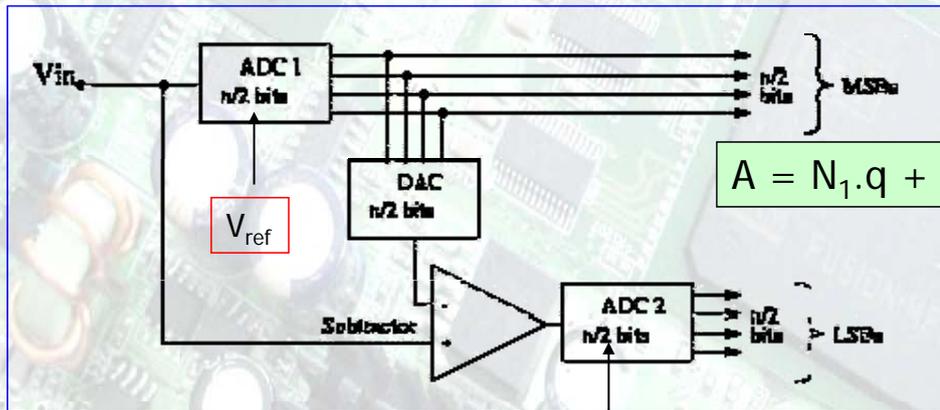
- Nombre de comparateurs ( $2^n - 1$ ).
- si 10 bits → 1023 Comparateurs!!
- Nb et qualité des résistances ( $2^n$ ).
- si 10 bits → 1024 Résistances!!

**Exercice :**

Donner la valeur de N pour une entrée analogique  $V_e$  de 3v. avec  $V_{ref} = 10v$ .



# Architecture semi-flash



$$A = N_1 \cdot q + N_2 \cdot q/16 + \epsilon$$

$$V_{ref}/16$$

**Principe :**

Utiliser des ADC flash n/2 bits et un DAC. Le deuxième ADC converti le résidu.

**Avantages :**

Reste rapide ( $2 \cdot T_{ADC} + T_{DAC}$ )

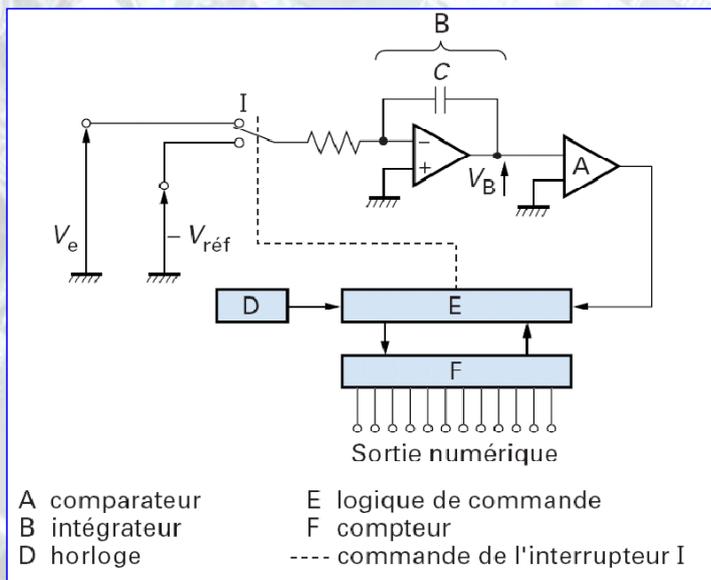
**Inconvénients :**

Reste compliqué en matériel

**Ex : Pour un CAN semi-flash de 8bits :**

- Donner le nombre de comparateurs ?
- Combien de comparateurs a-t-on économisé par rapport à l'architecture Flash ?

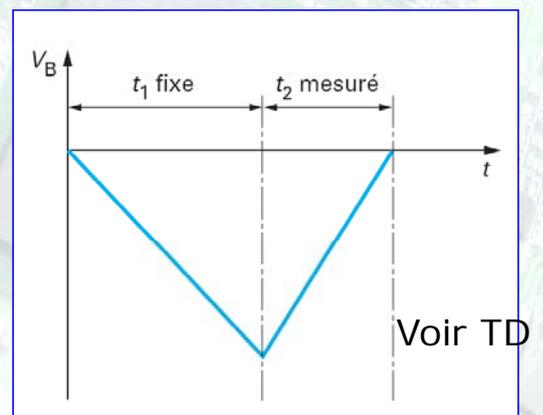
# Architecture à double rampe analogique



- A comparateur
- B intégrateur
- D horloge
- E logique de commande
- F compteur
- commande de l'interrupteur I

**Principe :**

Charger une capa avec  $V_e$  ( $t_1$  fixe) et la décharger avec  $-V_{ref}$  (mesure de  $t_2$ ).



**Exercice :**

- Donner les équations de  $V_B(t)$
- pour  $V_e$  en entrée.
  - puis pour  $V_{ref}$ .

Donner la relation entre  $V_e$  d'une part et  $V_{ref}$ ,  $t_1$  et  $t_2$  d'autre part.

# Architecture à rampe numérique

## Principe :

Compter linéairement, faire la conversion NA de cette suite et la comparer avec  $V_{in}$ .

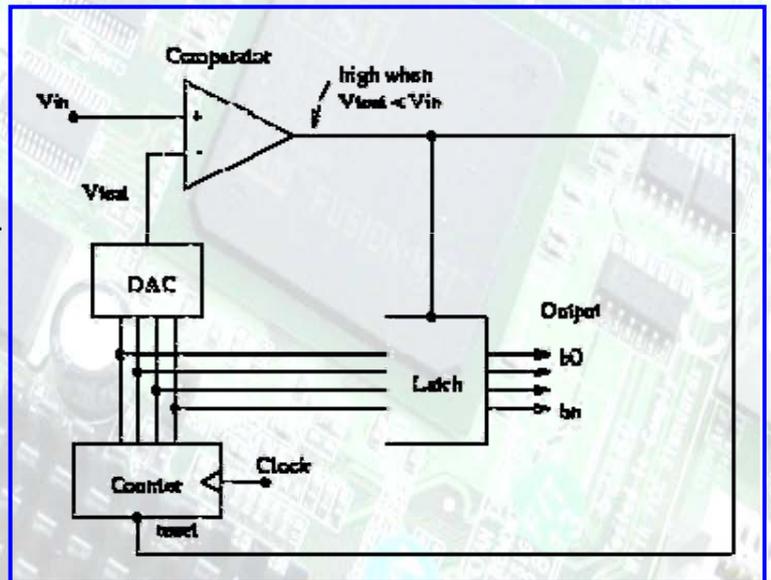
Quand  $V_{test} > V_{in} \Rightarrow$  Arrêt conversion.

## Avantages :

- Plus d'influence I, C
- Résolution quelconque

## Inconvénients :

- Lent à très lent (qq ms / qq sec)
- DAC n bits
- Temps de conversion dépend de  $V_{in}$



Voir TD

# Architecture à approximation successives

## Principe :

Le convertisseur compare la tension d'entrée  $V_e$  avec la sortie d'un CNA par pesées successives, comme le ferait une balance. La technique consiste à procéder par dichotomie, en divisant successivement par deux l'intervalle de tension dans lequel est mesurée  $V_e$ .

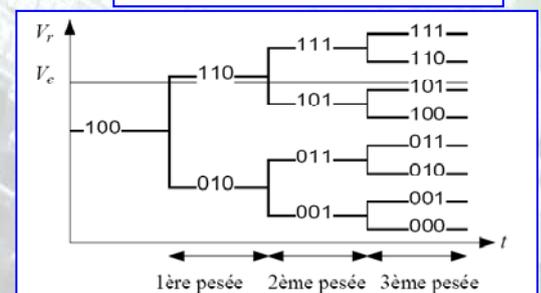
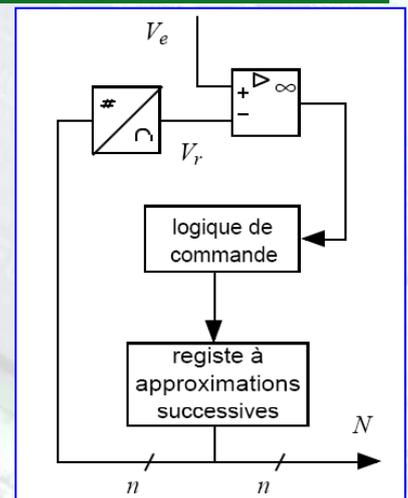
Au départ, le bit de poids fort (MSB) est positionné à 1, les autres bits sont à 0.

Par exemple, pour  $n = 8$ , le mot test  $N = 1000\ 0000$  est envoyé au CNA, qui fournit la tension  $V_r$  :

- si  $V_r > V_e$ , le MSB est mis à 0, et le bit suivant est positionné à 1 : on envoie  $N = 0100\ 0000$  dans le CNA.

-si  $V_r < V_e$ , le MSB ne change pas, et l'on envoie  $N = 1100\ 0000$  dans le CNA.Etc...

Cet algorithme est réalisé dans un "registre à approximations successives" (*Successive Approximation Register* ou *SAR*).



## Architecture à approximation successive

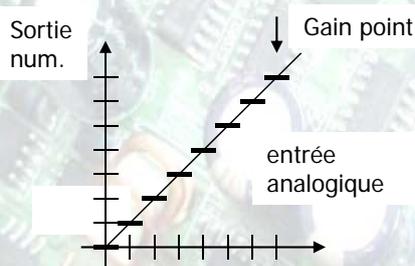
### Avantages :

Meilleur compromis vitesse/résolution

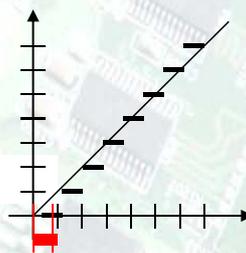
Temps de conversion : il faut  $n$  passes pour exécuter l'algorithme de dichotomie. L'intérêt de ce montage est que le temps de conversion est constant, et relativement faible.

*Exercice :* Représenter, en fonction du temps, le signal de sortie  $V_r$  du CNA de la chaîne de retour d'un CAN à approximations successives de 3 bits,  $PE=10v.$ , travaillant en binaire naturel, lorsque la tension à convertir est  $V_e=4,5v.$   
Quel est le résultat de la conversion?

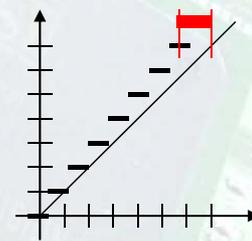
## Les erreurs systématiques



Courbe  
idéale



Erreur d'offset :  
 $E_o$



Erreur de gain :  
 $E_g$   
à erreur d'offset nulle

### Remarques:

- Les erreurs de non-linéarité intégrale et les erreurs de non-linéarité différentielle ne seront pas abordés dans ce chapitre.
- les erreurs peuvent être exprimées en % de la pleine échelle, en millivolt, en fraction de  $I_{sb}$ .
- Il existe des procédures de réglage d'offset ( $N=0$ ) et de réglage de gain ( $N=N_{max}$ ).

# Courbe de répartition des performances

Echantillons Par Seconde

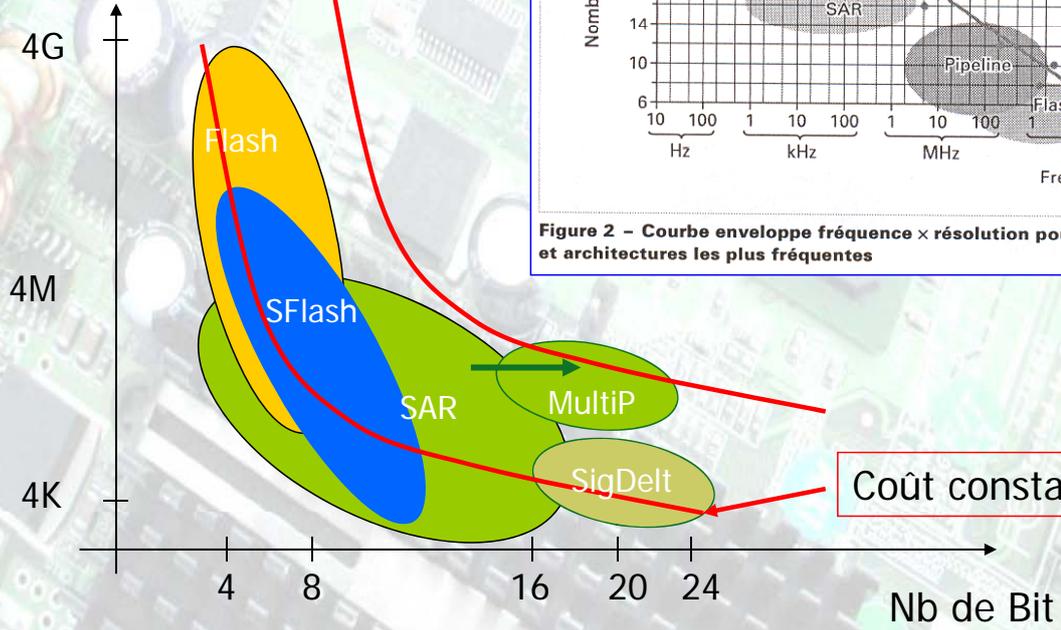


Figure 2 – Courbe enveloppe fréquence x résolution pour les CAN et architectures les plus fréquentes

# Doc. Technique de l'Ingénieur

Tableau 2 – Performances de CAN disponibles sur le marché

Nbits	Fréquence	Architecture	Technologie	Estimation de prix (€)	Consommation (mW)	Boîtier	Référence commerciale	Fabricant
2 x 24	96 kHz	$\Sigma\Delta$	CMOS	5	300	28 TSSOP	AD1871	Analog Devices
18	800 kHz	SAR	CMOS	30	100	46 LFCSP	AD7679	Analog Devices
16	5 MHz	Pipeline	CMOS	35	500	44 LQFP	SPT8100	Signal Processing Technology
14	65 MHz	Pipeline	CMOS	35	500	48 PQFP	AD9244	Analog Devices
12	210 MHz	Pipeline	BiCMOS	80	1 300	100 TQFP	AD9430	Analog Devices
14	105 MHz	Pipeline	Bipolaire	50	1 500	48 PQFP	AD6645	Analog Devices
8	1,5 GHz	Flash	Bipolaire SiGe	500	5 000	192 ESBGA	MAX 108	Maxim
10	2 GHz	NC (1)	Bipolaire SiGe	NC (1)	4 600	CBGA152	TS83102	ATMEL

(1) NC Non communiqué.

Etat de l'art des CAN sur le marché

# Doc. Technique de l'Ingénieur

**Tableau 4 – Performances des produits commerciaux usuels ou standards**

Architecture	Résolution	Vitesse (1)	Avantages/Inconvénients
Intégration	8 à 18 bits	≤ 30 kSPS	<ul style="list-style-type: none"> <li>+ Résolution élevée</li> <li>+ Faible consommation</li> <li>+ Excellente réjection analogique du bruit</li> <li>- Très faible vitesse d'échantillonnage</li> </ul>
SAR	8 à 16 bits	≤ 3 MSPS	<ul style="list-style-type: none"> <li>+ Résolution élevée et précision</li> <li>+ Faible consommation</li> <li>- Vitesse d'échantillonnage limitée</li> </ul>
$\Sigma\Delta$	16 à 24 bits	≤ 3 MSPS	<ul style="list-style-type: none"> <li>+ Résolution la plus élevée et précision</li> <li>+ Excellente linéarité</li> <li>+ Faible consommation</li> <li>+ Excellente réjection numérique du bruit</li> <li>+ Adaptabilité potentielle</li> <li>- Vitesse d'échantillonnage limitée</li> </ul>
Pipeline subranging	8 à 16 bits	entre 10 et 400 MSPS	<ul style="list-style-type: none"> <li>+ Très rapide</li> <li>+ Correction digitale des erreurs</li> <li>+ Meilleur compromis vitesse résolution</li> </ul>
Flash	6 à 8 bits	entre 1 et 20 GSPS	<ul style="list-style-type: none"> <li>+ Les plus rapides</li> <li>- Résolution limitée</li> <li>- Puce de dimension importante</li> <li>- Capacité de l'entrée élevée</li> <li>- Forte consommation</li> <li>- Codes erratiques</li> </ul>