

Électronique Numérique

Travaux pratiques : VHDL

*Outil logiciel : Quartus II Altéra
Outil matériel : carte DE1 Altéra*

Responsable : Perisse Thierry
perisse@cict.fr

1

VHDL Travaux pratiques

*TP1 : Additionneurs (3h) 2x1
 2x3
 et 2x5*

*TP2 et TP3 : Mini Projet (6h) Diviseur
 Compteur
 Transcodeur BCD/7 segments*

REMARQUES CONCERNANT LA NOTATION DES TP ELN NUMERIQUE

- Les préparations sont à faire à la maison et peuvent être demandées à tout moment lors des séances de travaux pratiques.
- Faire valider les différentes fonctions par un enseignant.
- Un mini compte rendu vous sera demandé à la fin des 3 TPs.

VHDL logiciel Quartus II Altéra

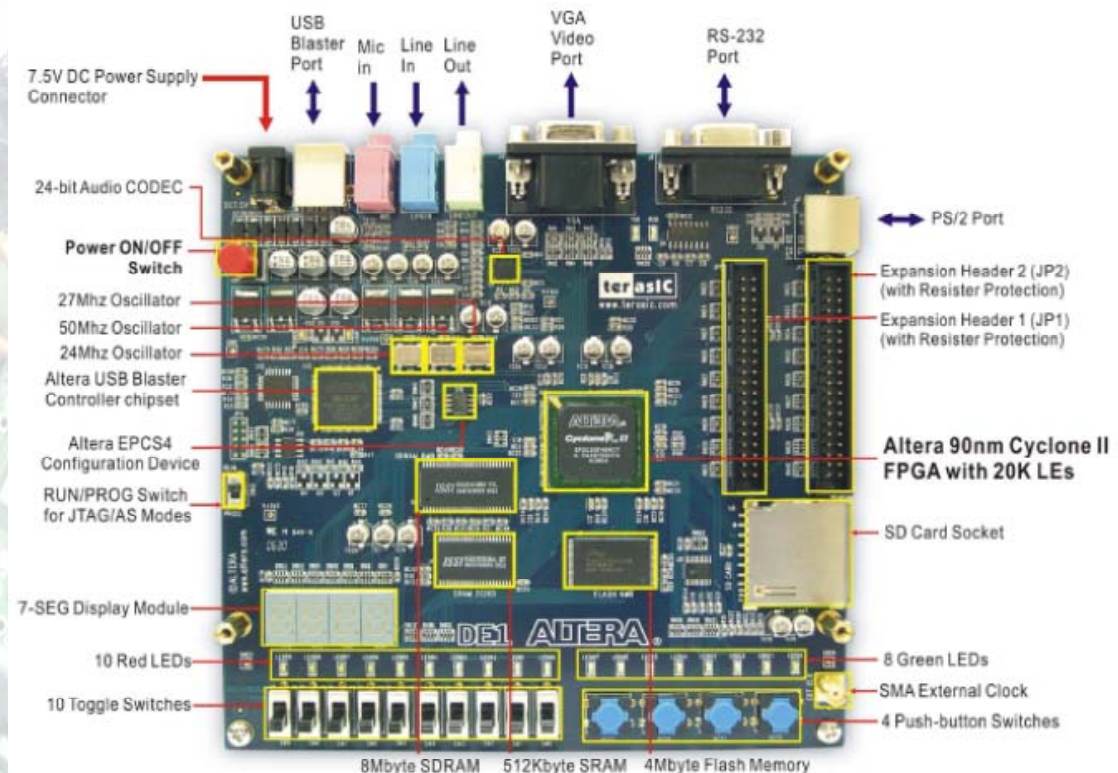


TP

Responsable : Perisse Thierry
perisse@cict.fr

3

VHDL Carte DE1 ALTERA



TP

Responsable : Perisse Thierry
perisse@cict.fr

4

Travaux pratiques VHDL

TP1 - Additionneurs :

Réaliser un additionneur de deux mots de 1 bit :
avec comme entrées : 2 bits A1 et B1 et une retenue d'entrée Cin.
et comme sorties : 1 bit S1 et une retenue de sortie Cout.

Donner la table de vérité de l'additionneur

Donner les tableaux de Karnaugh de S1 et de Cout

Donner les équations de S1 et de Cout

Donner le schéma structurel à l'aide de portes

Créer un nouveau projet sur Quartus II appelé TPADD1
Créer une fenêtre graphique appelée TPADD1.bdf qui sera le niveau hiérarchique le plus haut de votre projet.

Saisir le schéma sur une nouvelle fenêtre graphique appelée ADD1.bdf et créer le symbole de ce fichier.

Se mettre sur TPADD1.bdf et rapatrier le symbole de ADD1 et créer les entrées sorties nécessaires.

Réaliser la compilation et simulation fonctionnelle de TPADD1 et si OK visualiser les synthèses logique et physique générées par Quartus, enfin n'oublier pas de créer le symbole de TPADD1.

Réaliser l'implémentation sur le composant et valider sur la carte DE1, on choisira pour A1, B1 et Cin (SW0, SW1 et SW2) et pour S1 et Cout (LEDR0 et LEDR1).

TP

Responsable : Perisse Thierry
perisse@cict.fr

5

Travaux pratiques VHDL

TP1 - Additionneurs :

Créer un nouveau projet sur Quartus II appelé TPADD2x3
Créer une fenêtre graphique appelée TPADD2x3.bdf qui sera le niveau hiérarchique le plus haut de votre projet.

Sur une nouvelle feuille graphique TPADD2x3-1.bdf réaliser un additionneur de deux mots de 3 bit en utilisant le symbole de TPADD1:
avec comme entrées : 2 mots de 3 bits A2 A1 A0 et B2 B1 B0 et une retenue d'entrée Cin.
et comme sorties : 1 mot de 3 bits S2 S1 S0 et une retenue de sortie Cout.

Réaliser la compilation et simulation fonctionnelle de TPADD2x3 et si OK visualiser les synthèses logique et physique générées par Quartus.

Réaliser l'implémentation sur le composant et valider sur la carte DE1, on choisira pour A0, A1, A2, B0, B1, B2 et Cin (SW0, SW1, SW2, SW3, SW4, SW5 et SW6) et pour S0, S1, S2 et Cout (LEDR0, LEDR1, LEDR2 et LEDR3).

Créer un nouveau projet sur Quartus II appelé TPADD2x5
Créer une fenêtre graphique appelée TPADD2x5.bdf qui sera le niveau hiérarchique le plus haut de votre projet.

Écrire une description VHDL ADD2x5.vhd réalisant un additionneur (5 bits). Pour cela on impose l'utilisation de vecteurs.

Programmer et valider sur la carte DE1.

TP

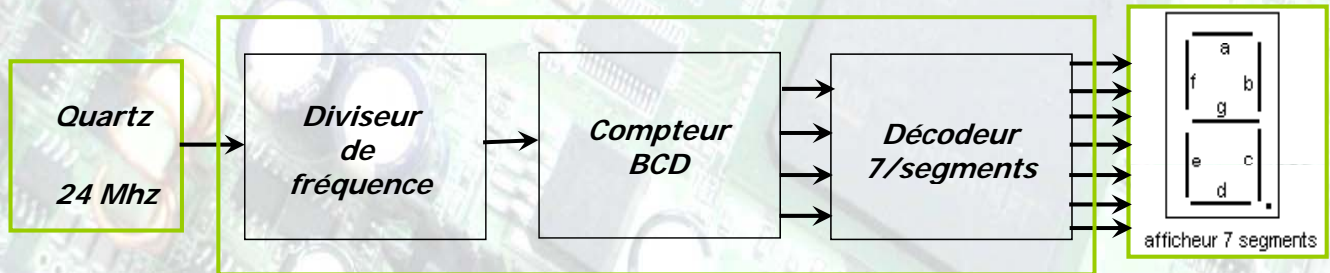
Responsable : Perisse Thierry
perisse@cict.fr

6

Travaux pratiques VHDL

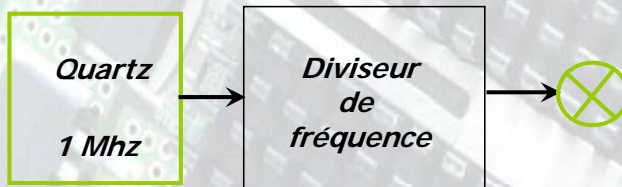
TP 2 - Mini-Projet

Projet : On veut réaliser une fonction permettant, à partir d'un oscillateur à quartz de 24Mhz présent sur la carte DE1 de visualiser l'écoulement des secondes sur un afficheur 7 segments.



Génération du signal de 1 Hz :

Dans une première étape on veut réaliser un signal de fréquence 1 Hz à partir de l'horloge de 24 Mhz. Pour cela il faut réaliser un diviseur de fréquence, la sortie de celui-ci sera une led présente sur la carte.



Réalisez en VHDL le programme du diviseur.
Créer un symbole du diviseur.

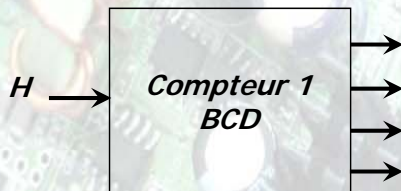
Travaux pratiques VHDL

TP 2 - Mini-Projet

Réalisation du compteur BCD :

Dans un premier temps, il est demandé de réaliser un simple compteur BCD, possédant 1 entrée d'horloge H et 4 sorties.
 → (0,1,2,...,15,0,1,...)

Sur l'entrée H un signal d'horloge et sur les sorties 4 LEDES.

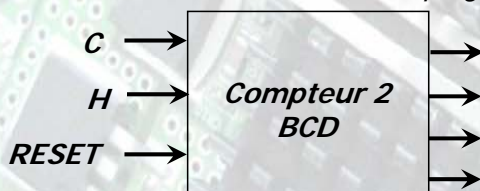


Proposer un schéma structurel du compteur 1 :
 donner la table de vérité, karnaugh, la réalisation à l'aide de bascules D:7474 et de portes logiques.

Donner le programme VHDL du compteur 1.
 a- à partir des nouvelles équations.
 b- à partir du diagramme d'état.
 c- à partir de l'analyse comportementale.
 Compilation et simulation fonctionnelle.
 Intégration et validation sur le composant.

On veut réaliser maintenant un compt/décompt BCD avec un RESET asynchrone

C=1 comptage
 C=0 décomptage



Donner le programme VHDL du compteur 2 à partir de l'analyse comportementale.
 Compilation et simulation fonctionnelle.
 Intégration et validation sur le composant.

Travaux pratiques VHDL

TP 2 - Mini-Projet

Réalisation du compteur BCD : (Amélioration)

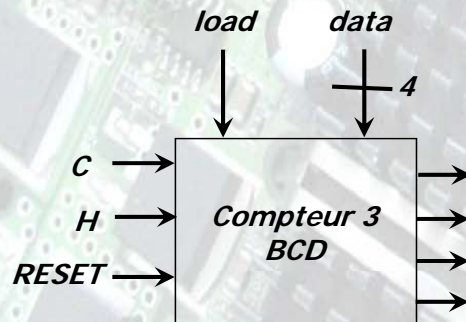
Cahier des charges :

On veut réaliser un compteur/décompteur

modulo 10 (0,1,2,...,9,0,1,...) pour C=1

RESET asynchrone

Pré-chargement synchrone (load)



Donner le programme VHDL du compteur 3 à partir de l'analyse comportementale.

*Compilation et simulation fonctionnelle.
Intégration et validation sur le composant.*

Créer un symbole du compteur.

TP

Responsable : Perisse Thierry
perisse@cict.fr

9

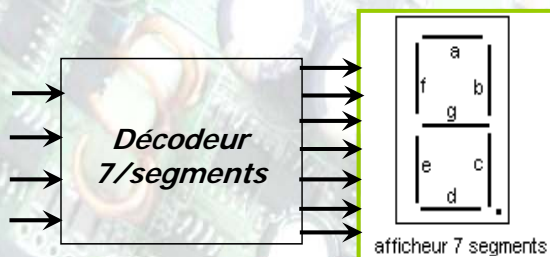
Travaux pratiques VHDL

TP 2 - Mini-Projet

Réalisation du décodeur BCD / 7segments :

4 entrées : 4 interrupteurs présents sur la carte
7 sorties : afficheur 7 segments.

Réaliser un décodage de 0 à 9, pour toutes les autres combinaisons présentes à l'entrée nous afficherons un E signalant une erreur.



Proposer un schéma structurel d'un décodeur BCD/7segments :

donner la table de vérité, le tableau de karnaugh, les équations et le schéma structurel de ce décodeur.

Donner les différents programmes VHDL de ce décodeur en utilisant :

-des instructions du mode concurrent :

-Affectation inconditionnelle

-Affectation conditionnelle

-Affectation sélective

- des instructions du mode séquentiel :

-Assignment conditionnelle

-Assignment sélective

segA <= équation(A,B,C,D)

when else

with select when

if then (elsif then) (else) end if;

case is when when others end case;

*Compilation et simulation fonctionnelle de chacun des programmes.
Intégration et validation sur le composant.*

TP

Responsable : Perisse Thierry
perisse@cict.fr

10

Travaux pratiques VHDL

TP3 – Générateur de parité :

Générateur de parité : utilisation d'une boucle FOR LOOP

La sortie P nous donnera une information sur la parité du vecteur d'entrée E.

Pour le TP on prendra $P=1$ si le nombre de 1 est impair.

*Donner une description VHDL d'un générateur de parité sur 4 bits puis sur 10 bits.
Compilation et simulation fonctionnelle de ce générateur.
Intégration et validation sur le composant.*

