



TP1 *EMEAT1H1*

Systèmes électroniques non linéaires

Salles G45-G46 Bât 3A (voir plan fac page 2)

Responsables TPs :

Hélène LEYMARIE **helene.leymarie@univ-tlse3.fr**

Thierry PERISSE **thierry.perisse@univ-tlse3.fr**

Techniciens :

Franck Lacourrège

Guillaume Maffre

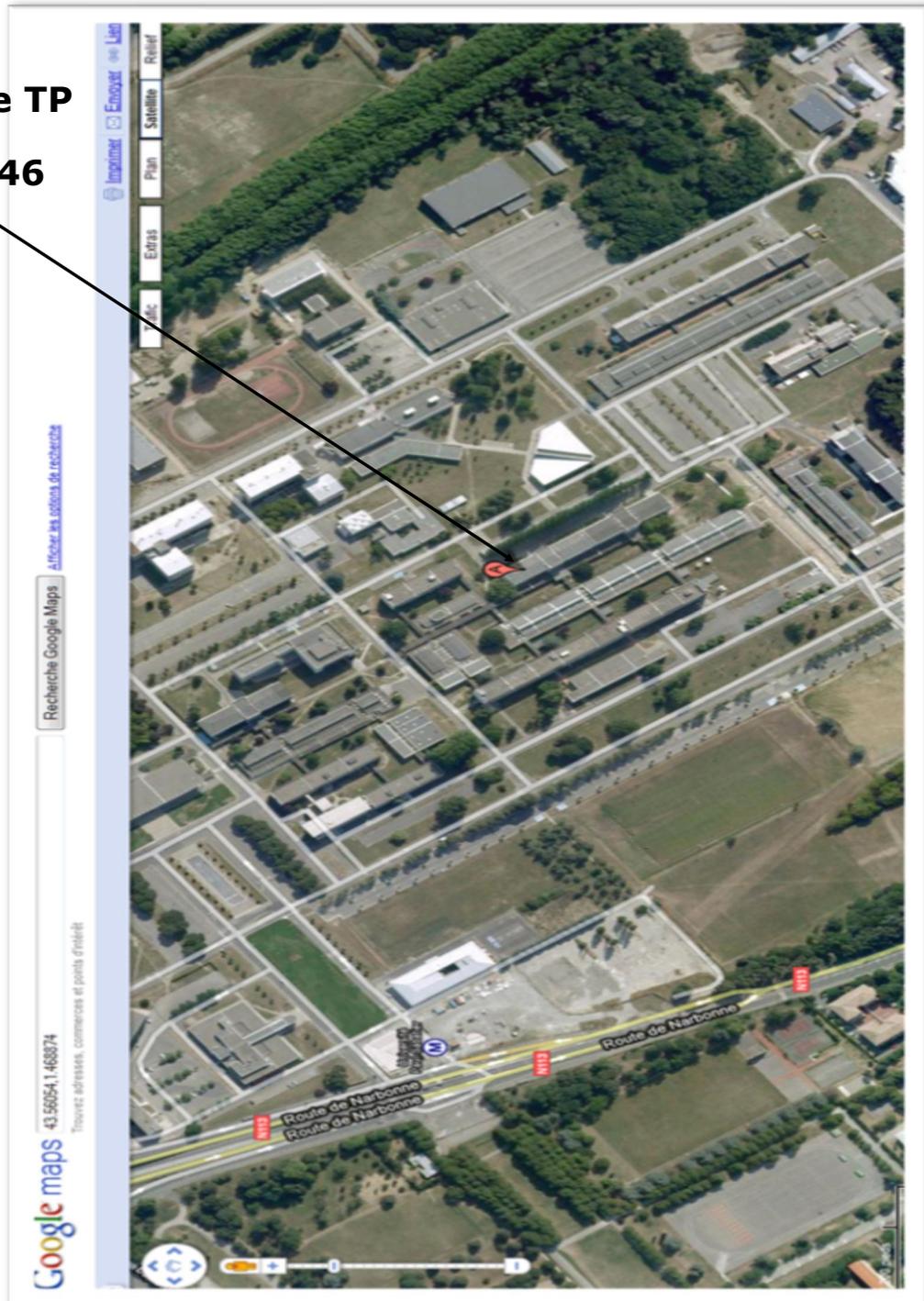
TP1 : CAN / CNA

Documentation CI : ADC0804

DAC0800

Année 2016-17

**Salles de TP
G45/G46**



TP1 CAN / CNA

- 1. Introduction : Vue d'ensemble de la carte CAN CNA :**
- 2. Schémas électriques :**
- 3. Projet FPGA :**
- 4. Programmes VHDL :**

A- PREPARATION

Questions théoriques à préparer avant de venir en TP (la préparation peut être demandée en début de séance et doit être jointe au compte rendu en fin de séance)

B- MANIPULATION

Une validation de chaque partie expérimentale doit être faite avec un responsable de TP.

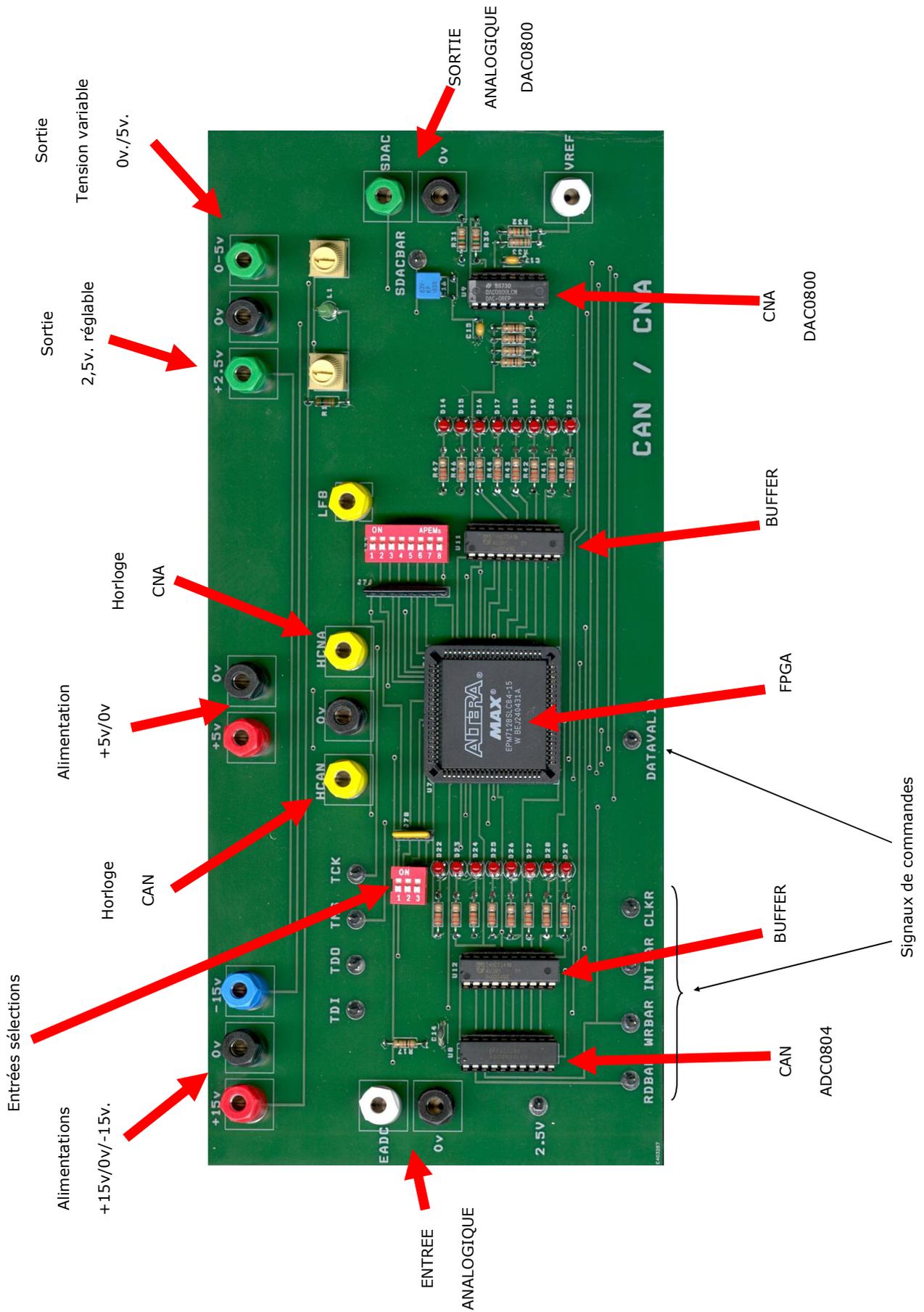
Un compte rendu expérimental doit être rendu en fin de séance.

Documents constructeurs :

CAN : Datasheet ADC0804

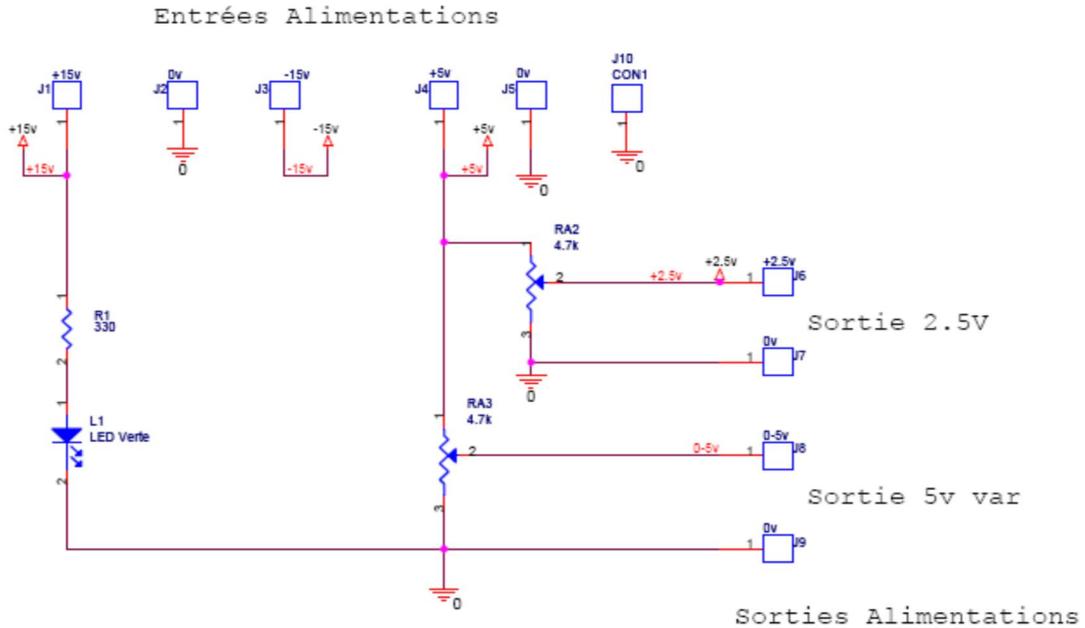
CNA : Datasheet DAC0800

1. Introduction : Vue d'ensemble de la carte CAN CNA :



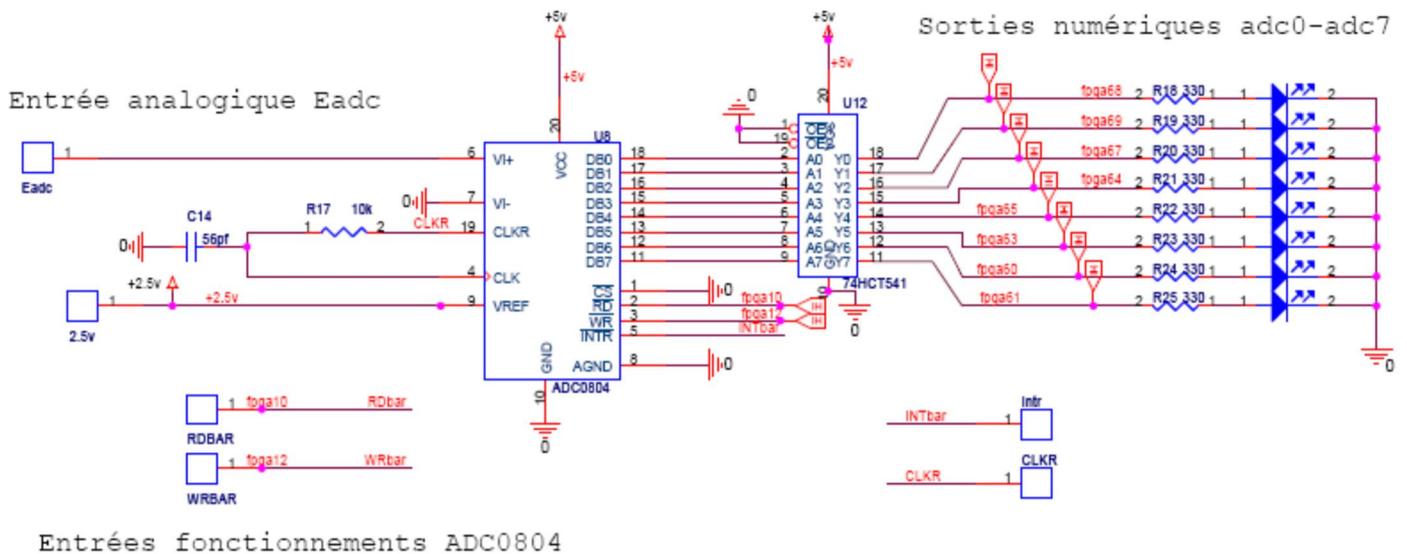
2. Schémas électrique :

2.1 Alimentations de la carte et réalisation du +2.5v réglable et de la tension variable 0/5v. :



2.2 Schéma du Convertisseur Analogique Numérique :

Conversion Analogique / Numérique

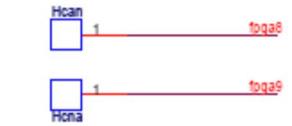


2.3 Schéma électrique du FPGA :

Entrées Prog CPLD



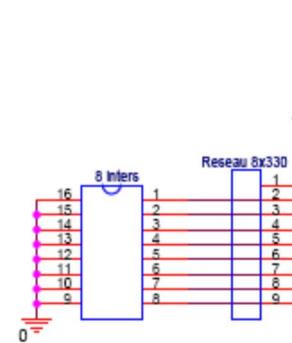
Horloges CAN CNA



Gestion CAN

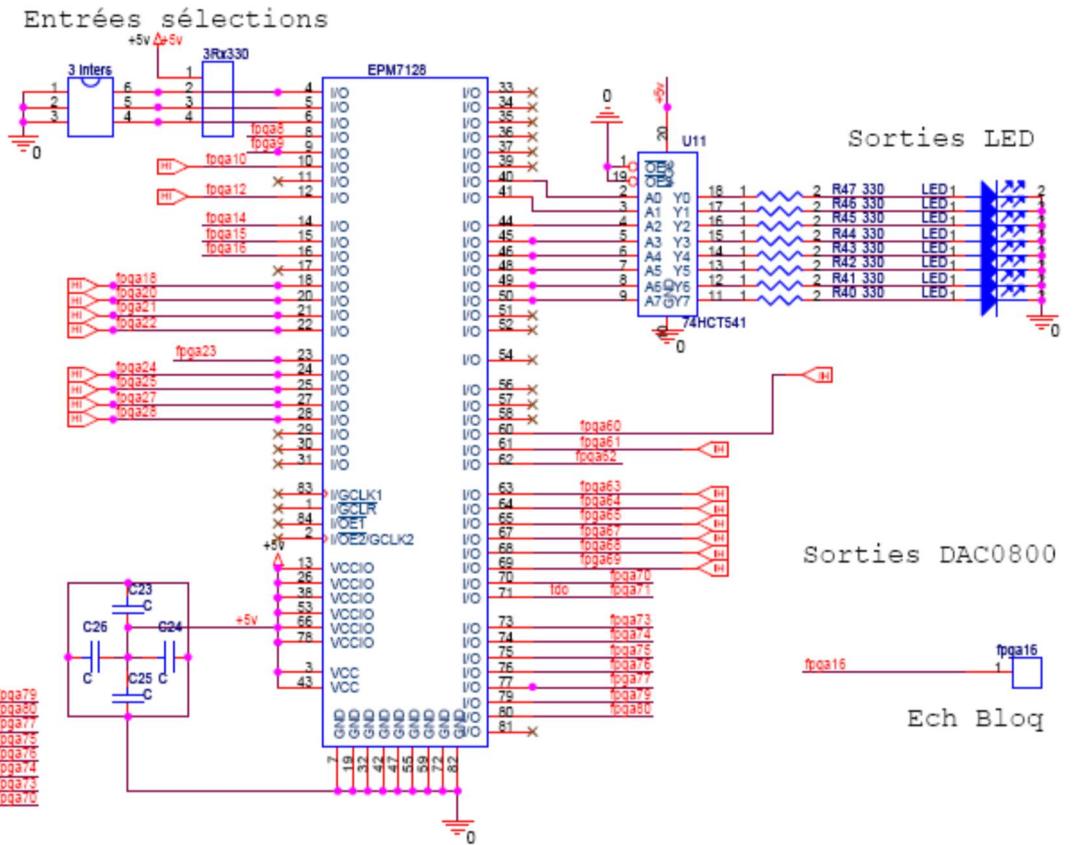


Entrée Ech Bloq



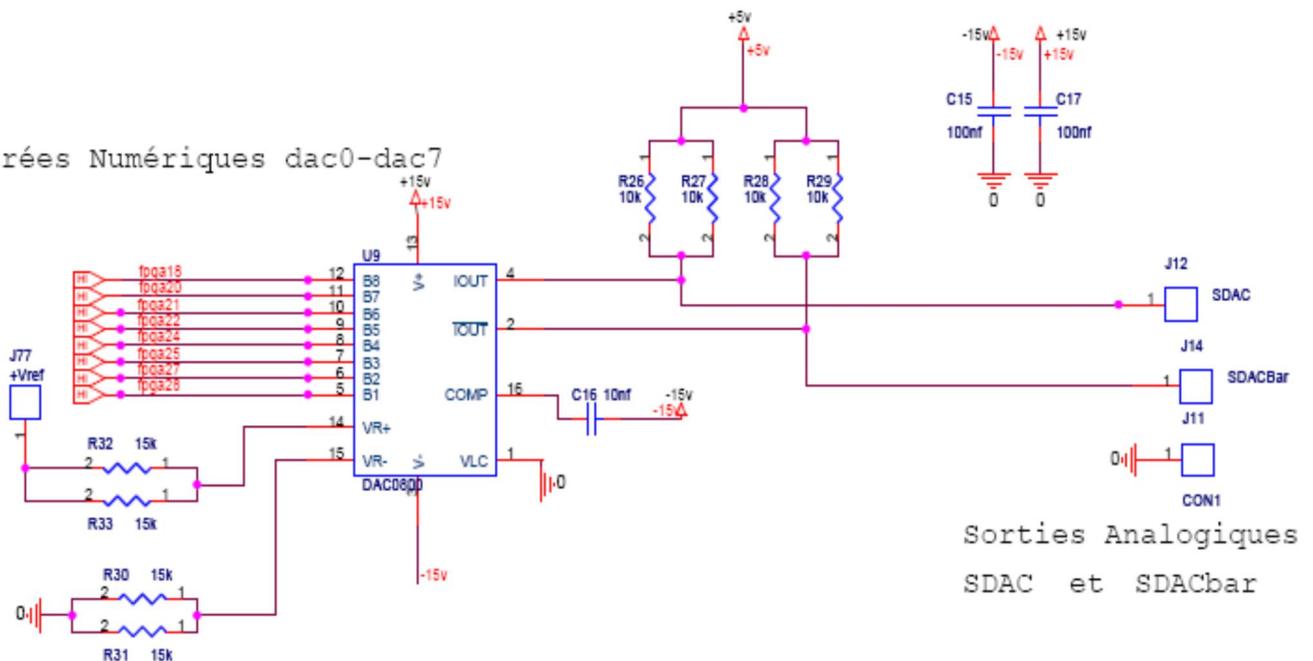
Entrées Inters

Projet CAN / CPLD / CNA



2.4 Schéma électrique du convertisseur Numérique Analogique :

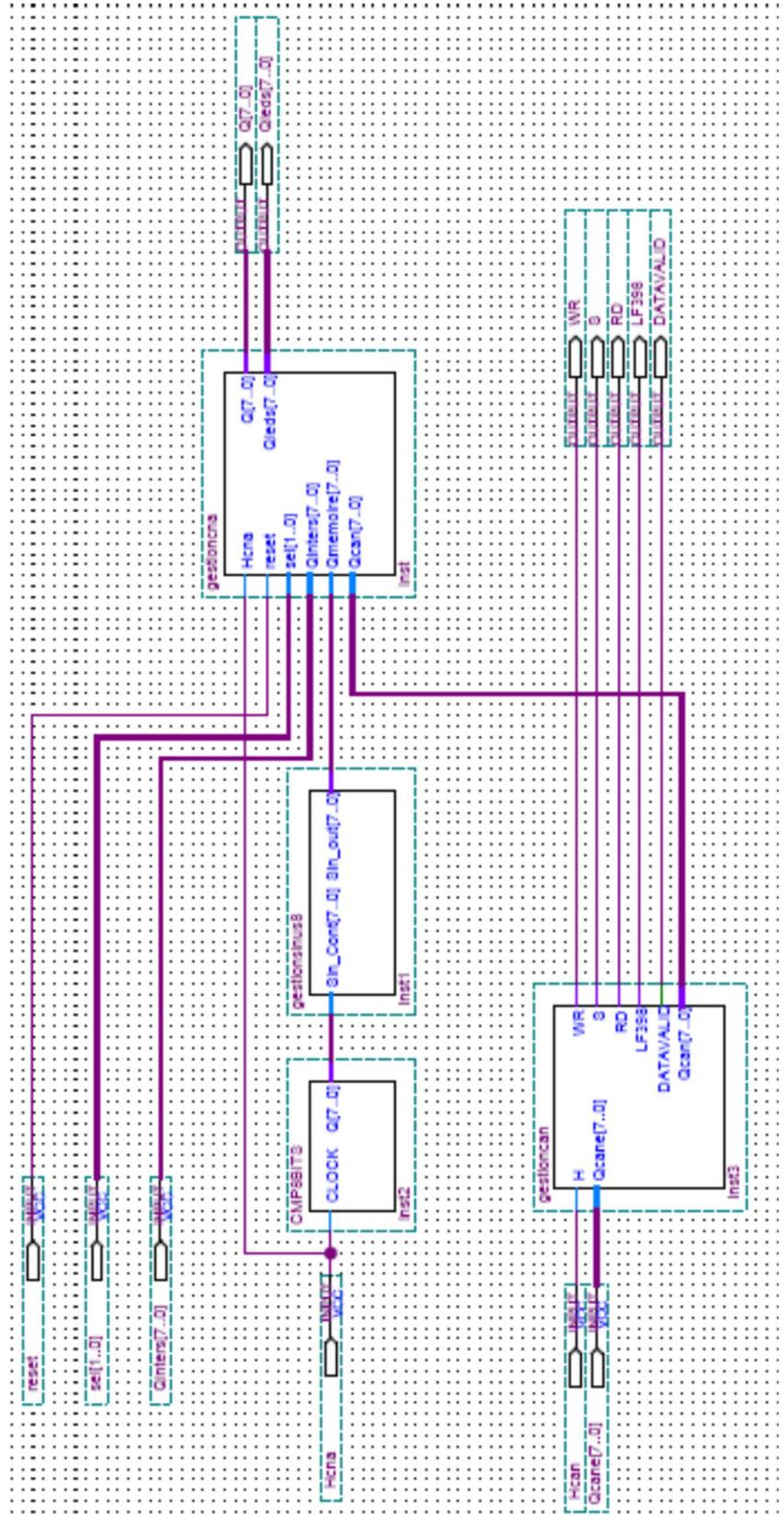
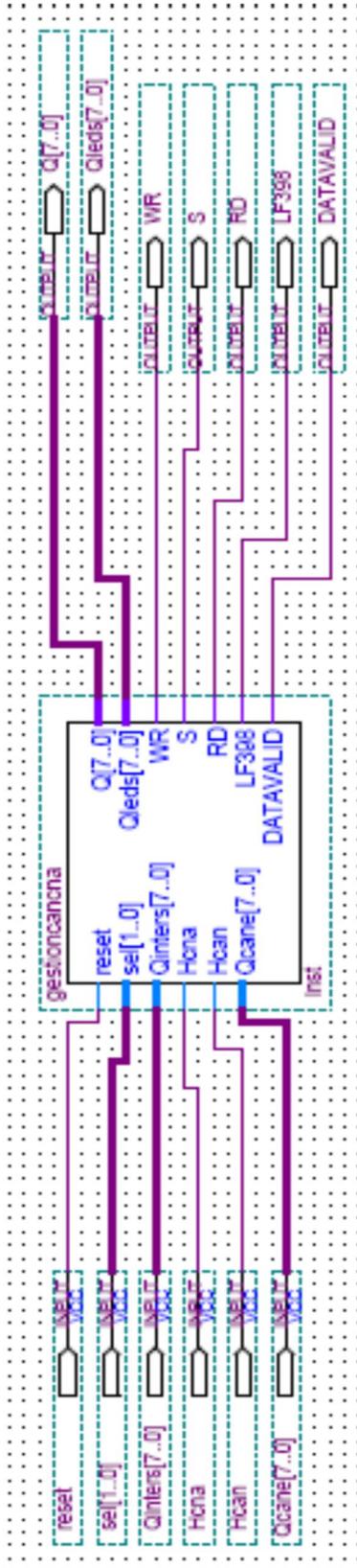
Entrées Numériques dac0-dac7



3. Projet FPGA :

3.1 Projet d'ensemble : gestioncancna

3.2 Sous projets : CMP8BITS gestionsinus8 gestioncan gestioncna



4. Programme VHDL :

4.1 gestioncan.vhd

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity gestioncan is
    port(
        H           : in    std_logic;
        Qcane       : in    std_logic_vector(7 downto 0);

        WR, S       : out   std_logic;
        RD, LF398    : out   std_logic;
        DATAVALID  : inout  std_logic;
        Qcan         : out   std_logic_vector(7 downto 0)
    );
end gestioncan;

architecture arch_gestioncan of gestioncan is
    signal X : integer range 0 to 250;
    signal y : integer range 0 to 250;
    signal Z : integer range 0 to 250;
    signal SWR, SS : std_logic;
    signal SRD : std_logic;
    signal SDATAVALID : std_logic;
    signal SLF398 : std_logic;
begin
    process(H)
    begin
        if (H'event and H = '1') then
            X <= X+1 ; Y <= Y+1; Z <= Z+1;
            if X=250 then X<=0;
            end if;
            if Y=250 then Y<=0;
            end if;
            if Z=250 then Z<=0;
            end if;

            if X<=5 or X>=18 then SLF398<='0';
            else SLF398<='1';
            end if;
            if X<=5 or X>=25 then SWR<='1';
            else SWR<='0';
            end if;
            if X=250 then SS<='1';
            else SS<='0';
            end if;
            if Y<=200 or Y>=240 then SRD<='1';
            else SRD<='0';
            end if;
            if Z<=205 then SDATAVALID<='0';
            else SDATAVALID<='1';
        end if;
    end process;
end arch_gestioncan;

```

gestioncan.vhd

```

        end if;
        end if;
    end process;
    LF398 <= SLF398;
    WR <= SWR;
    S <= SS;
    RD <= SRD;
    DATAVALID <= SDATAVALID;

    process (DATAVALID)
    begin
        if (DATAVALID'event and DATAVALID = '1') then
            Qcan <= Qcane;
        end if;
    end process;

    end arch_gestioncan;

```

gestioncan.vhd

4.2 : *CMP8BITS.vhd*

```

-- Compteur simple 8 bits
Library ieee;
Use ieee.std_logic_1164.all;
Use ieee.std_logic_unsigned.all;

entity CMP8BITS is
PORT (  CLOCK      : in std_logic;
        Q          : out std_logic_vector(7 downto 0));
end CMP8BITS;

architecture DESCRIPTION of CMP8BITS is
signal Qint : std_logic_vector(7 downto 0);
begin
process (CLOCK)
begin
    if (CLOCK = '1' and CLOCK'event) then
        Qint <= Qint + 1;
    end if;
    Q <= Qint;
end process;
end DESCRIPTION;

```

cmp8bits.vhd

4.3 : gestioncna.vhd

```

Library ieee;
Use ieee.std_logic_1164.all;
Use ieee.std_logic_unsigned.all;

entity gestioncna is
port ( Hcna,reset      : in std_logic;
       sel             : in std_logic_vector(1 downto 0);
       Qinters        : in std_logic_vector(7 downto 0);
       Qmemoire       : in std_logic_vector(7 downto 0);
       Qcan           : in std_logic_vector(7 downto 0);
       Q               : out std_logic_vector(7 downto 0);
       Qleds          : out std_logic_vector(0 to 7));
end gestioncna;

architecture arch_gestioncna of gestioncna is
signal Qint : std_logic_vector(7 downto 0);
begin
process (Hcna)
begin
if reset='1' then Q<="00000000";Qleds<="00000000";

elseif (Hcna ='1' and Hcna'event) then
if sel="11" then
Qint <= Qint + 1;
end if;
Q<=Qint;
Qleds<=Qint;
if sel="01" then
Q<=Qinters;
Qleds<=Qinters;
Qint<="00000000";
end if;
if sel="10" then
Q<=Qmemoire;
Qleds<=Qmemoire;
Qint<="00000000";
end if;
if sel="00" then
Q<=Qcan;
Qleds<=Qcan;
Qint<="00000000";
end if;
end if;
end process;
end arch_gestioncna;

```

gestioncna.vhd

A- Préparation :

Repérer les différentes parties sur la carte à l'aide de sa vue d'ensemble

Une résistance de 330Ω est mise en série avec les leds rouge, à l'aide de la documentation ci-dessous, justifier cette valeur ?

LED

La tension de seuil dépend de la couleur et donc de la composition chimique du dopage.

Couleurs	Tension de seuil ou Vf	If (mA)	Longueur d' onde
Rouge	1,6 V à 2 V	6à20	650 à 660 nm
Jaune	1,8 V à 2 V	6à20	565 à 570 nm
Vert	1,8 V à 2 V	6à20	585 à 590 nm
Bleu	2,7 V à 3,2 V	6à20	470 nm
blanc	3,5 v à 3,8 v	30	

A_1 CAN ADC084 :

Sur quel principe est basé le fonctionnement du circuit intégré ADC0804 ?

Expliquer le fonctionnement a partir du schéma fonctionnel du CAN ?

A quel timing doit correspondre les signaux de commandes du CAN ?

A_2 CNA DAC0800 :

A l'aide de la documentation constructeur et du schéma électrique du can :

Donner l'expression de la tension de sortie SDAC en fonction de I_{ref} , R_0 ($R_0=R_{26}=R_{27}$), V_0 ($V_0=5v.$) et de la valeur numérique N présente sur les entrées du CNA.

Justifier la valeur de $R_{ref}=R_{32}/R_{33}$ pour avoir $I_{ref}=2mA$ (avec $V_{ref}=15v.$) ?

Justifier la présence et les valeurs de R_{30}/R_{31} sur le $VR-$ du cna ?

Justifier les valeurs de R_0 et de V_0 pour une tension SDAC variant entre $-5v$ et $+5v.$?

Tracer la caractéristique théorique $SDAC=f(N).$?

Calculer la valeur de la résolution du CNA.?

Donner le temps de conversion ?

B- Manipulation :**B_1 ALIMENTATIONS :****MERCI DE BIEN VOULOIR RESPECTER LES COULEURS POUR LE CÂBLAGE DES ALIMENTATIONS:**

- Noir <—> Masse (0v.)
- Rouge <—> Toutes les tensions positives (+15v. Et +5v.)
- Bleu <—> Tension négative (-15v.)

Tests et réglages des différentes alimentations :

- Vérifier que la LED est allumée
- Régler la sortie tension 2.5v. à cette valeur à l'aide du potentiomètre
- Vérifier que sur l'autre sortie nous ayons une tension variable 0v./5v.

B_2 CONVERTISSEUR ANALOGIQUE NUMERIQUE ADC0804**HORLOGE HCAN et TENSION EADC :**

- Régler le générateur de fonction à 2Mhz (0/5v.) à l'aide de l'oscilloscope (ou bien utiliser la sortie TTL du générateur). Mesurer à l'oscilloscope la fréquence et les niveaux de tension avant de l'envoyer sur la maquette.
- Relier la tension variable 0/5v. à l'entrée analogique à convertir EADC et vérifier qu'un mot binaire est présent en sortie. (Led rouge allumée —> un 1 logique en sortie).

Relever les chronogrammes suivants : RDBAR WRBAR INTBAR et DATAVALID ?

Comme l'on a un oscilloscope à 2 voie il sera opportun de relever les chronogrammes 2 par 2 en prenant le front descendant de WRBAR comme origine des temps.

WRBAR avec INTRBAR / WRBAR avec RDBAR / WRBAR avec DATAVALID

Donner la fréquence d'échantillonnage ?**Mesurer les différents temps sur les chronogrammes et les comparer a ceux du datasheet du convertisseur ADC0804 ?****En utilisant le programme gestioncan.vhd; Donner l'allure des signaux WR RD DATAVALID ?**

Tracer la fonction de transfert du CAN : $N=f(EADC)$? (// avec la théorie)

N équivalent décimal du mot numérique en sortie

EADC : Tension d'entrée analogique (0/5v.)

Mesurer le Quantum ? (// avec le quantum théorique)

B_3 CONVERTISSEUR NUMERIQUE ANALOGIQUE DAC0800

HORLOGE HCNA ET POTENTIELS PARTICULIERS :

- Dans un premier temps on reliera les deux horloges : HCNA = HCAN = 2Mhz (TTL 0/5V.)
- Relier la tension Vref du CNA au potentiel +15v.
- Les entrées de sélection seront sur la combinaison 00 (combinaison qui permet de renvoyer sur l'entrée du CNA le mot N correspondant à une tension analogique EADC).

Vérifier que la sortie du CNA SDAC varie de $Xv.$ à $+Xv.$? Donner la valeur de X et justifier cette valeur ?

- Prenons maintenant une horloge : HCNA = 100hz (TTL 0/5V.)

Visualiser et donner l'allure des signaux sur SDAC en fonction de la combinaison des inters (entrées de sélection) :

Sel=11 $Q \leq Q+1$ Rampe

Sel=10 $Q \leq Q_{\text{mémoire}}$ sinus numérique sur 256 échantillons

Donner la relation entre la fréquence du sinus HSIN et la fréquence du CNA HCNA ? Vérifier cette relation pour 1khz et 256khz ?

Sel=01 $Q \leq Q_{\text{inters}}$ Le mot d'entrée N est fabriquée par 8 inters

Tracer la caractéristique de transfert SDAC=f(N) ? (// avec la théorie)

Donner une mesure expérimentale du quantum ? (// avec le quantum théorique)