



# LA BOUCLE A VERROUILLAGE DE PHASE OU PLL-PHASE LOCKED LOOP

**Travaux dirigés**  
**T. Perissé / H. Leymarie**

TD 6 : Boucle à verrouillage de Phase 4046 : modélisation et stabilité

TD 7 : Boucle à verrouillage de phase 4046 : stabilité, précision, plage de maintien et de capture

TD 8 : Synthèse de fréquence par PLL

TD 9 : Application à la tête HF d'un récepteur Radio



## TD 6 : BOUCLE A VERROUILLAGE DE PHASE

### Etude du circuit intégré 4046 : modélisation et stabilité

L'objectif de ce TD est de modéliser et d'étudier la stabilité de la PLL réalisée à partir du composant HCF4046 qui est un circuit intégré de la famille CMOS 4000. Il se compose d'un oscillateur linéaire commandé en tension (OCT ou VCO) et de deux comparateurs de phase au choix. C'est un circuit intégré « classique » pour réaliser une boucle à verrouillage de phase numérique. La documentation technique du 4046 est fournie en annexe 1.

**Schéma équivalent et brochage en boîtier DIL du 4046 :**

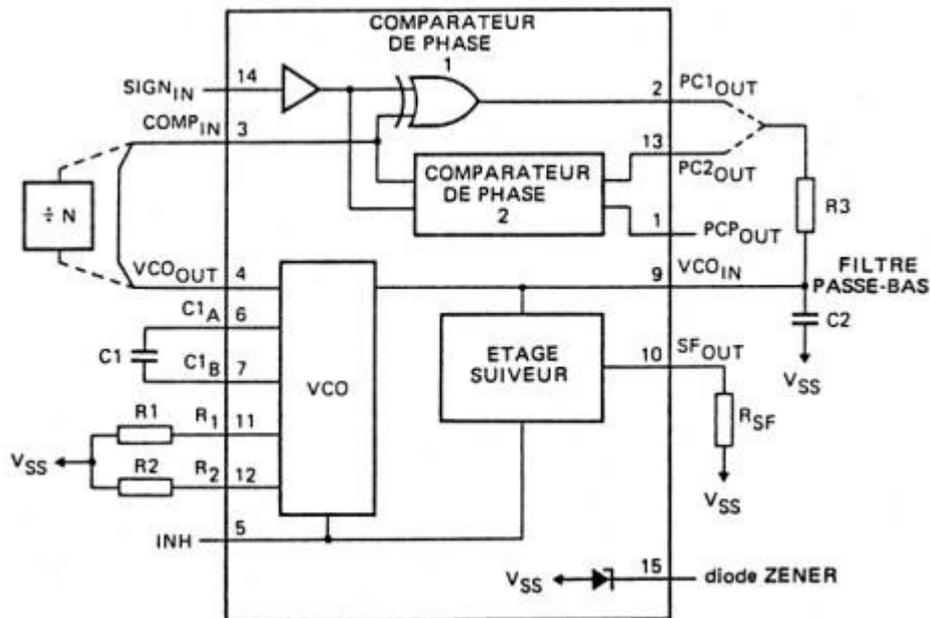
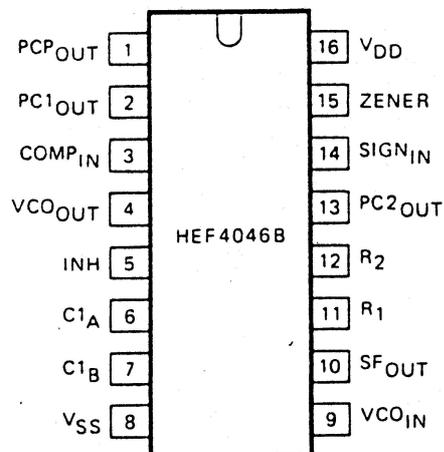


Figure 1 schéma équivalent du 4046



#### BROCHAGE

1. sortie d'impulsion du comparateur de phase
2. sortie du comparateur de phase 1
3. entrée du comparateur
4. sortie du VCO
5. entrée d'inhibition
6. connexion A du condensateur C1
7. connexion B du condensateur C1
8. VSS
9. entrée du VCO
10. sortie de l'étage suiveur
11. connexion de la résistance R1
12. connexion de la résistance R2
13. sortie du comparateur de phase 2
14. entrée des signaux
15. entrée de la diode Zener, régulatrice de tension.

Fig. 2 Brochage.

## I Modélisation de la PLL

Ia) Donner la modélisation de la PLL sous forme de schéma bloc. Dans un premier temps, les grandeurs d'entrée et de sortie seront les phases puis, dans un deuxième temps, les fréquences.

### Ib) Etude du VCO

#### Premier cas :

On fixe la fréquence centrale  $f_0$  du VCO à 10 kHz la tension d'alimentation  $V_{DD}$  à 15 V. Calculer les valeurs des composants  $R_2$  et  $C_1$  dans le cas d'un VCO sans déviation de fréquence ( $R_1=10\text{ K}\Omega$ ). La figure 3 présente les résultats expérimentaux obtenus. Calculer  $k_0$  la pente de la caractéristique du VCO en Hz/V.

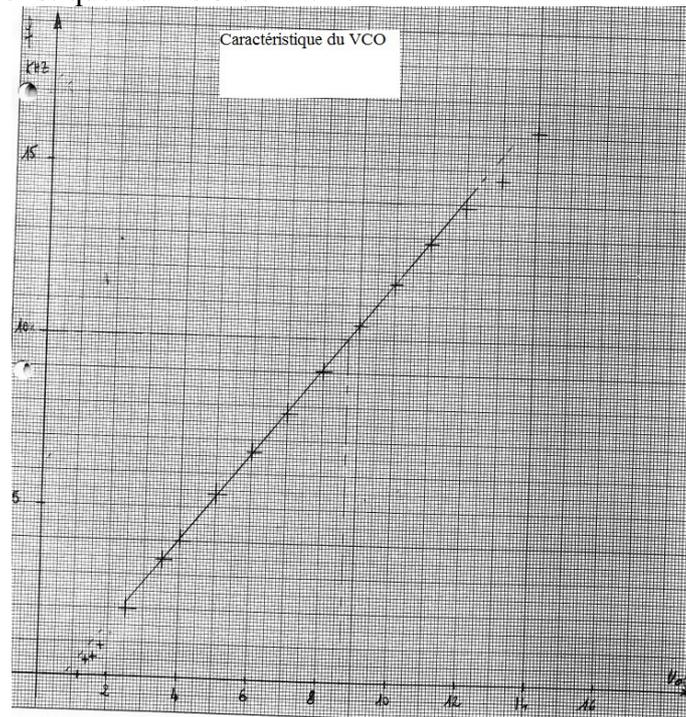


Figure 3 : caractéristique expérimentale du VCO sans déviation de fréquence

#### Deuxième cas :

Connaissant la fréquence centrale  $f_0$  du VCO égale à 10 KHz et la demi plage de maintien  $f_L$  égale à 5 kHz, calculer les valeurs des composants  $R_1$  et  $C_1$  dans le cas d'un VCO avec déviation de fréquence. On fixe  $R_2 = 100\text{ K}\Omega$  et  $V_{DD} = 15\text{ V}$ .

Dans la suite du TD on se placera dans le premier cas.

### Ic) Etude du comparateur de phase I

Le comparateur de phase I est un « ou exclusif » entre la tension d'entrée  $V_e$  et la tension de sortie  $V_s$ . Montrer que ce dispositif permet de réaliser simplement un comparateur de phase numérique. Donner la pente de sa caractéristique théorique.

Quelle doit être la condition sur les tensions  $V_e$  et  $V_s$  ? Dans le cas d'un verrouillage de la PLL quelle est la fréquence harmonique générée par ce comparateur de phase?

### Id) Etude du filtre passe bas I

Le filtre choisi est une cellule RC (cf figure 1 filtre R3 C2). Donner la fonction de transfert de ce filtre. Tracer son diagramme de Bode. Déterminer la valeur de la fréquence de coupure pour filtrer efficacement l'harmonique 2 générée par le comparateur de phase.

La demi plage de maintien  $f_L$  est égale à 5 KHz, en déduire l'harmonique 2 d'entrée la plus gênante notée  $2 F_{emin}$ .

En déduire la valeur R3 en fixant  $C2 = 100 \text{ nF}$  (critère 1).

## II Etude de la stabilité de la PLL

### IIa) Comparateur de phase I et filtre passe bas I

Donner la fonction de transfert de la boucle ouverte compte tenu des résultats de l'étude précédente (partie I). Tracer le diagramme de Bode correspondant.

On choisit un second critère (critère 2) tel que le gain en boucle ouverte de la PLL à la fréquence  $2 F_{emin} / 10$  est égale à 1.  $C2$  est égale à  $100 \text{ nF}$  en déduire R3.

Calculer la marge de phase de ce système. Conclure.

### IIb) Comparateur de phase I et filtre passe bas II

Le filtre passe bas choisi est désormais le filtre passe bas II décrit par la figure 4 :

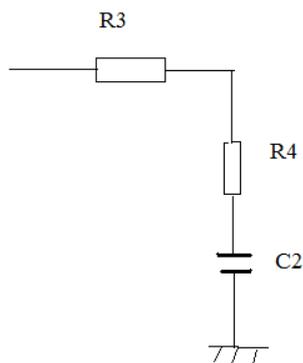
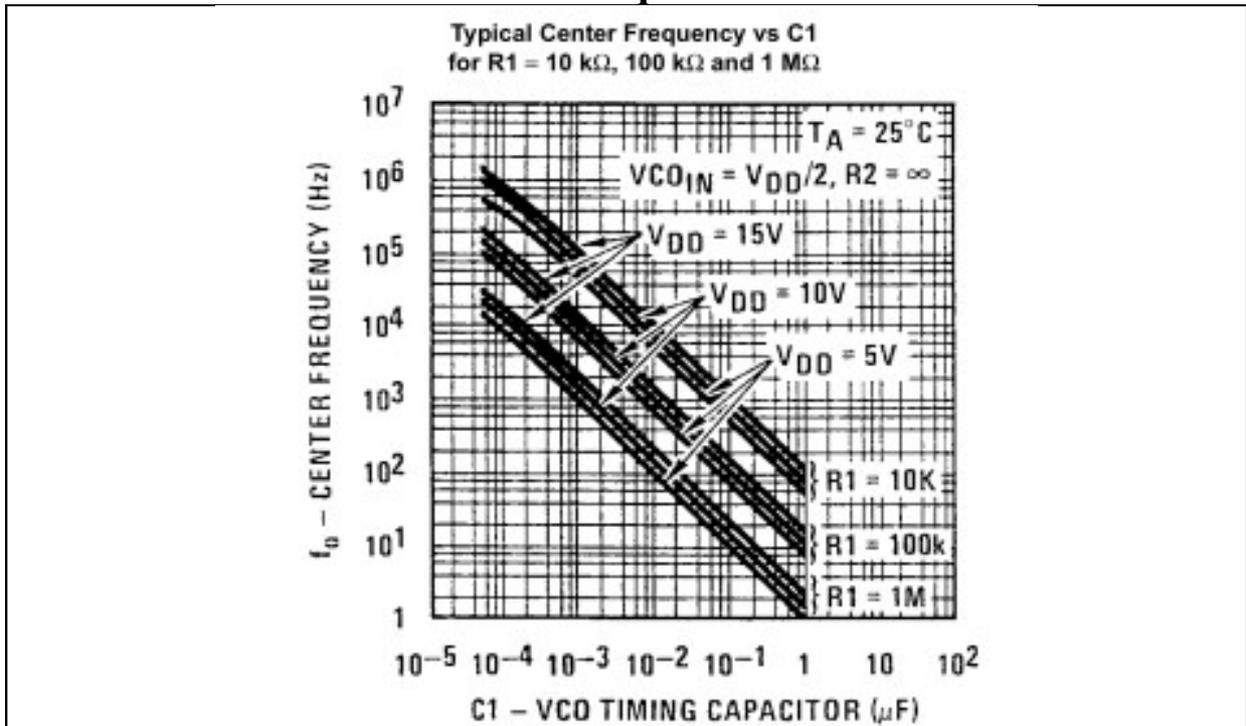


Figure 4 : structure du filtre passe bas II

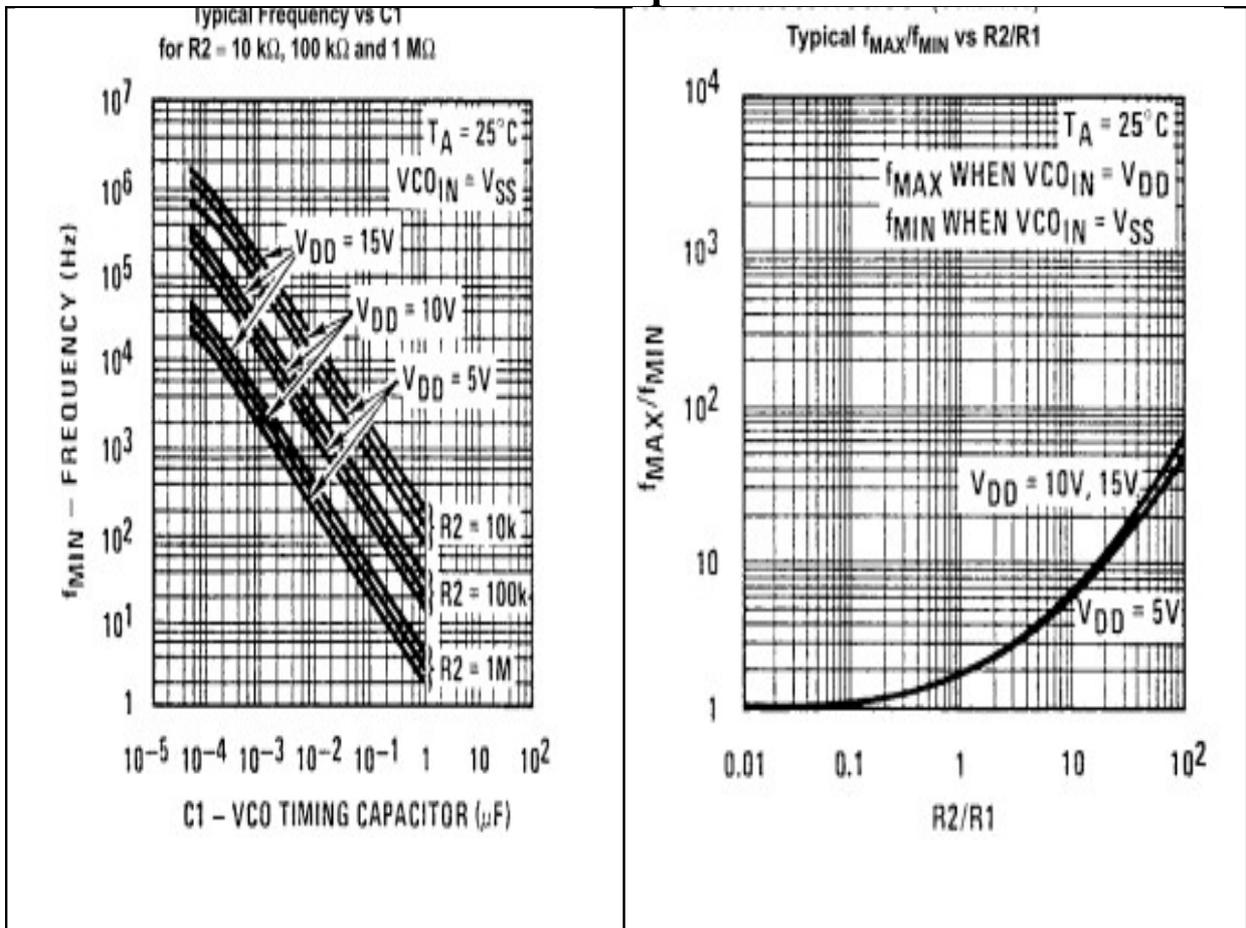
Donner sa fonction de transfert. Tracer son diagramme de Bode. Quel est l'intérêt de ce filtre?

On conserve le même critère 2 et la même valeur de  $C2$ . Déterminer R3 et R4 permettant de réaliser une marge de phase de  $90^\circ$ . Conclure.

## Annexe 1 : DOCUMENTATION TECHNIQUE DU 4046 (extrait) Cas 1 : VCO sans déviation de fréquence



## Cas 2 : VCO avec déviation de fréquence



### Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges:  $R_1, R_2 \geq 10 \text{ k}\Omega$ ,  $R_S \geq 10 \text{ k}\Omega$ ,  $C_1 \geq 50 \text{ pF}$ .

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for  $R_1, R_2$  and  $C_1$  component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R_2 = \infty$	VCO With Offset	VCO Without Offset $R_2 = \infty$	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, $f_0$		VCO in PLL system will adjust to lowest operating frequency, $f_{min}$	
Frequency Lock Range, $2 f_L$	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2 f_C$		$2 f_C \approx \frac{1}{\pi} \sqrt{\frac{2 \pi f_L}{\tau 1}}$	$f_C = f_L$	
Loop Filter Component Selection		For $2 f_C$ , see Ref.		
Phase Angle Between Single and Comparator	$90^\circ$ at center frequency ( $f_0$ ), approximating $0^\circ$ and $180^\circ$ at ends of lock range ( $2 f_L$ )		Always $0^\circ$ in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

# TD 7 : BOUCLE A VERROUILLAGE DE PHASE

## Etude du circuit intégré 4046 : stabilité, précision, plages de capture et de maintien

L'objectif de ce TD est d'étudier la boucle de verrouillage de phase 4046 en fonction des différents comparateurs de phase et des filtres qu'elle contient.

Nous nous intéresserons à la stabilité et à la précision de la PLL puis à sa plage de maintien et de capture.

### I Stabilité de la PLL

En vous aidant de l'annexe 1, étudier la stabilité de la PLL pour les deux comparateurs de phase et les deux filtres passe bas. Il y a donc quatre cas à envisager.

### II Précision de la PLL

#### IIa) précision en régime statique

La pulsation du signal d'entrée  $\omega_e$  de la PLL subit un échelon d'amplitude  $\Delta\omega$  tel que la PLL reste verrouillée .



figure 1 : saut de la pulsation d'entrée

On désire connaître la pulsation en sortie de la pll  $\omega_s$  en régime **permanent** lorsque le temps  $t$  tend vers l'infini.

Est-elle la même que celle de l'entrée ou existe-t-il une erreur  $(\omega_e - \omega_s)$  ?

En utilisant le théorème de la valeur finale, déterminer l'éventuelle erreur de pulsation théorique pour les deux comparateurs de phase et les deux filtres passe bas.

Proposer la mise en œuvre expérimentale pour mesurer l'erreur en pulsation en régime permanent.

Reprendre la même étude, lorsque la pulsation d'entrée varie linéairement avec le temps sous la forme  $\omega_e = a t$  (cf figure 2).

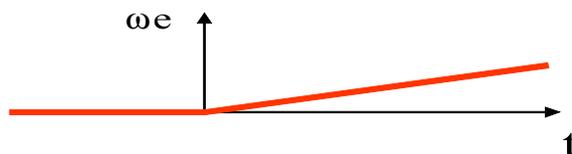


figure 2 : rampe de pulsation d'entrée

## IIb) précision en régime dynamique : comparateur de phase I et filtre passe bas I

### \*régime indiciel

La pulsation du signal d'entrée  $\omega_e$  de la PLL subit un échelon d'amplitude  $\Delta\omega$  tel que la PLL reste verrouillée .



figure 1 : saut de la pulsation d'entrée

On désire connaître la pulsation en sortie de la pll  $\omega_s$  en régime **transitoire** quand  $t > 0$ .

L'image de la pulsation  $\omega_s$  est donnée par la tension d'entrée du VCO notée  $V_f$ .

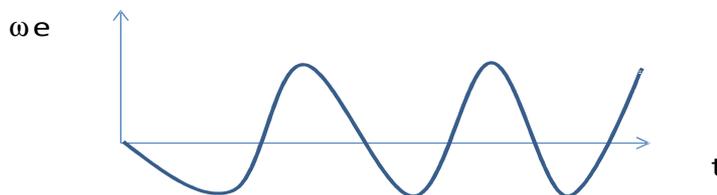
Expliquer pourquoi.

Donner la fonction de transfert  $V_f(p)/\omega_e(p)$  en boucle fermée. Représenter l'évolution temporelle de  $V_f(t)$ . Calculer son éventuel dépassement  $D$  et la période des pseudo-oscillations  $T_p$ .

Comment pourrait- on établir de façon expérimentale le modèle de la PLL ?

### \*régime sinusoïdal

La fréquence d'entrée varie sinusoïdalement en fonction du temps autour de  $f_0$ . La PLL reste verrouillée.



Représenter le diagramme de Bode de la fonction  $V_f(p)/\omega_e(p)$ .

Donner en cas de résonance le gain maximum et la fréquence de résonance.

Comment pourrait on établir de façon expérimentale le modèle de la PLL ? Calculer la fréquence de coupure à  $-3\text{dB}$ .

## III **Plage de maintien et plage de capture : comparateur de phase I et filtre passe bas I**

IIIa) Donner les définitions de la plage de maintien et de capture d'une PLL ?

IIIb) Calculer la plage de capture et de maintien théorique pour des fréquences de coupure de filtre  $f_c = 100\text{Hz}$ ,  $1\text{KHz}$  et  $10\text{KHz}$ .

Les résultats expérimentaux des plages de maintien et de de capture sont systématiquement inférieures aux résultats théoriques. Proposer une explication.

## Annexe 1 : Fonctions de transfert de La PLL 4046

La fonction de transfert dépend du comparateur et du filtre passe bas utilisé :

- Comparateur 1 et réseau  $\frac{RC}{s^2}$

$$H_o(p) = \frac{K_d K_o}{p(1 + RCp)}$$

- Comparateur 1 et réseau  $R_3 R_2 C$ :

$$H_o(p) = \frac{K_d K_o (1 + R_1 C p)}{p[1 + (R_4 + R_3) C p]}$$

- Comparateur 2 et réseau  $\frac{RC}{s^2}$

$$H_o(p) = \frac{K_d K_o}{RC p^2}$$

- Comparateur 2 et réseau  $R_3 R_2 C$ :

$$H_o(p) = \frac{K_d K_o (1 + R_1 C p)}{R_3 C p^2}$$

**PLL: schéma bloc, fonctions de transfert, stabilité.**

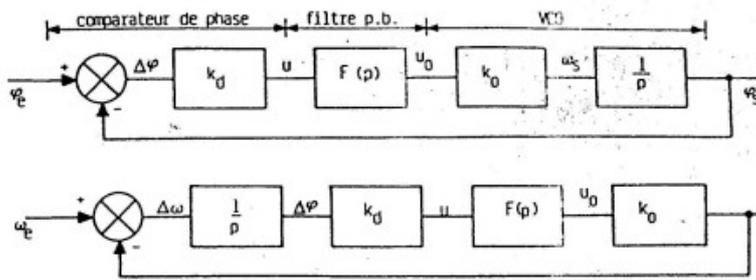
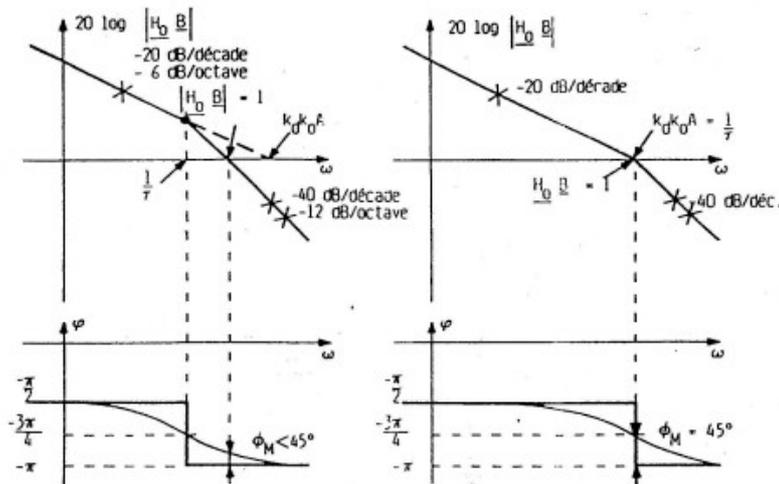


Schéma-bloc en grandeurs phases

Schéma-bloc en grandeurs pulsations



Comparateur 1 et réseau  $R_3 C_2$  ( $R_4 = 0$ )

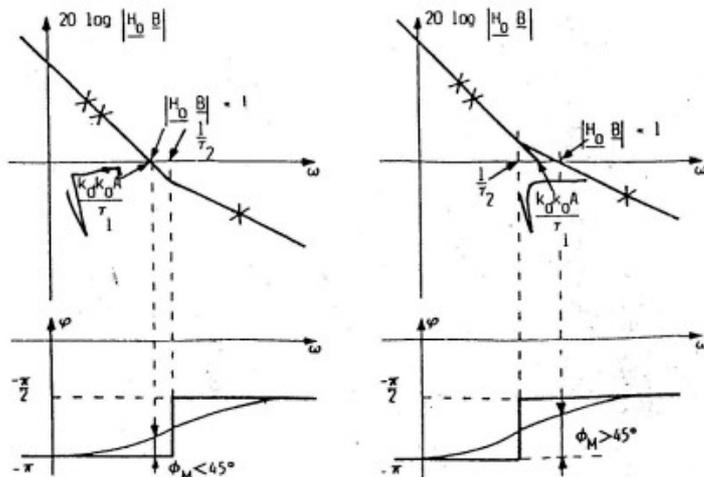
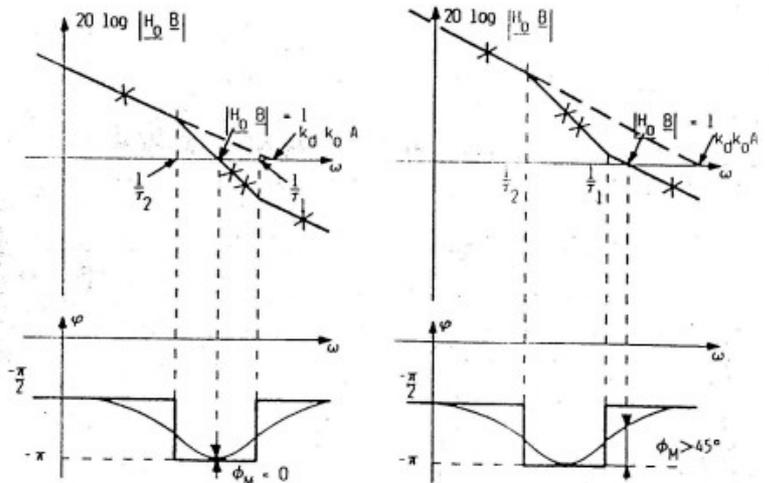
$$H_0(p) = \frac{K_d K_0}{p(1 + \tau p)}$$

$$\tau = RC_{32}$$

Comparateur 1 et réseau  $R_3 C_2 R_4$

$$H_0(p) = \frac{K_d K_0 (1 + \tau_1 p)}{p(1 + \tau_2 p)}$$

$$\tau_1 = R_3 C_2 \quad \tau_2 = (R_3 + R_4) C$$



Comparateur 2 et réseau  $R_3 R_4 C_2$

$$H_0(p) = \frac{K_d K_0 (1 + \tau_1 p)}{\tau_1 p^2}$$

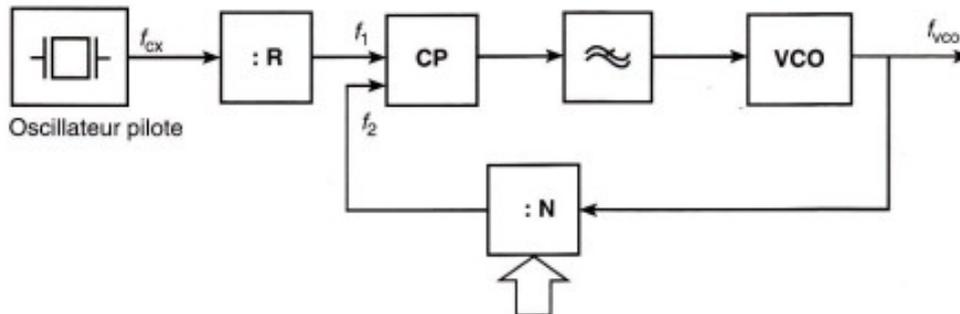
$$\tau_1 = R_3 C_2$$

$$\tau_2 = R_4 C_2$$

## TD 8 Synthétiseur de fréquence à PLL

On souhaite concevoir un synthétiseur de fréquence à PLL pour un émetteur FM ayant les caractéristiques suivantes :

- fréquence de la porteuse pouvant varier de 144 MHz à 148 MHz par pas de 5 kHz.
- fréquence de l'oscillateur pilote :  $f_{CX} = 5$  MHz.



On suppose la PLL verrouillée.

- a. Que peut-on dire des fréquences  $f_1$  et  $f_2$  ?
- b. Déterminer l'expression de la fréquence du VCO,  $f_{VCO}$ , en fonction de  $f_{CX}$ , N et R.
- c. Quelle est l'expression du pas de fréquence du synthétiseur ?  
En déduire la valeur de la fréquence des signaux appliqués à l'entrée du comparateur de phase.
- d. Calculer la valeur R du diviseur de fréquence fixe, en déduire le nombre de bits nécessaires pour coder R en binaire.
- e. Calculer les valeurs  $N_{\min}$  et  $N_{\max}$  du diviseur de fréquence programmable pour obtenir la plage de fréquence souhaitée.  
En déduire le nombre de bits nécessaires pour coder N en binaire.
- f. Pourquoi avoir choisi un oscillateur pilote à base de quartz ?
- g. Donner le modèle linéaire du synthétiseur de fréquence et sa transmittance en boucle ouverte.
- h. Etudier la stabilité, la bande passante et le temps de réponse du système en fonction de N.
- i. Quelle est la condition que doit satisfaire le filtre ?

Ce document prend support sur un extrait de sujet de concours, merci aux auteurs pour le travail fait.

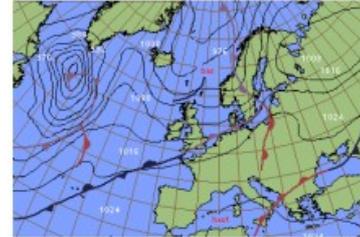
L'étude porte sur la description structurelle d'une tête H.F. de récepteur radio et sur les solutions pour sélectionner et transmettre depuis l'antenne le signal de fréquence désirée.

## STATION METEOROLOGIQUE

# TETE H.F. RECEPTEUR RADIO

Le réseau national d'observation météorologique est constitué de nombreuses stations réparties sur tout le territoire. Une station au sol reçoit notamment les informations issues d'un ballon sonde d'altitude via une liaison HF.

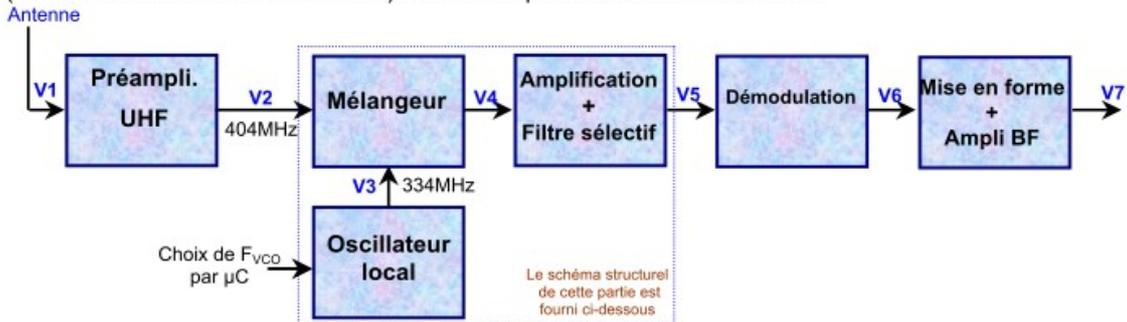
La radiosonde transmet séquentiellement les paramètres (pressions, température et humidité de l'air) mesurés lors de l'ascension de l'appareil entraîné par un ballon gonflé à l'hydrogène. Les données sont reçues jusqu'à l'éclatement du ballon vers 20 000 mètres d'altitude.



## 1. SCHEMAS

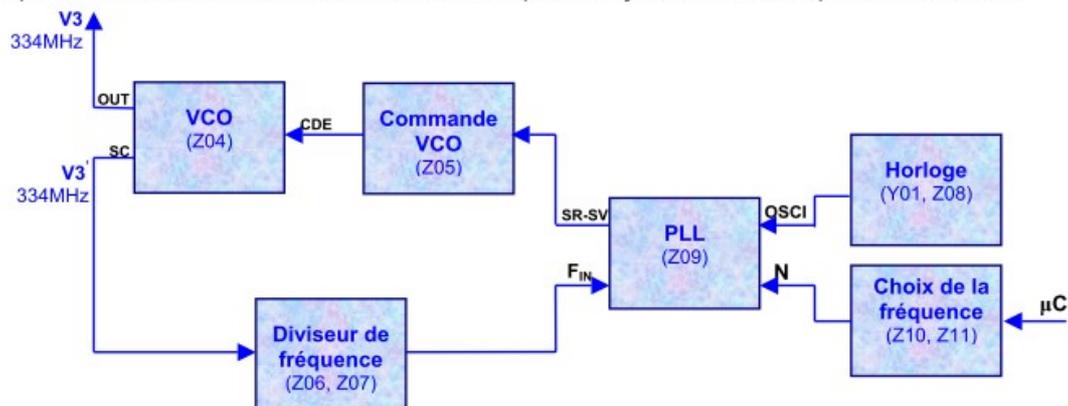
### 1.1. Schéma fonctionnel de 1<sup>er</sup> degré du RECEPTEUR H.F.

L'antenne de réception installée sur le toit, qui capte le signal, est reliée à proximité immédiate à un préamplificateur UHF dont la sortie transmet, par un câble, le signal reçu à la carte de réception H.F. (schéma structurel fourni en annexe) distante de plusieurs dizaines de mètres.



### 1.2. Schéma fonctionnel de 2<sup>ème</sup> degré de l'OSCILLATEUR LOCAL

La PLL associée aux autres composants réalise un synthétiseur de fréquence produisant, à partir d'un oscillateur à quartz de référence, un signal dont la fréquence peut varier par pas et dont la stabilité est la même que celle de l'oscillateur pilote. La valeur de  $N$  chargée dans la PLL, fixe la fréquence  $F_{IN}$ , donc la fréquence du VCO et finalement la valeur de la fréquence reçue sur l'antenne qui sera démodulée.



### 3.4. PROGRAMMATION DE LA PLL MC145163 (DC75)

Le circuit MC145163 contient tous les éléments nécessaires à la réalisation d'un synthétiseur de fréquence, hormis le VCO et le filtre passe-bas. Il permet de générer une tension de commande pour le VCO Z04 (oscillateur commandé en tension) qui fournit le signal local au mélangeur équilibré Z01.

On suppose que le signal reçu sur l'antenne a une fréquence de 404MHz et que le VCO (Z04) délivre 2 signaux à la fréquence de 334MHz (sorties : n°8 OUT et n°16 SC).

3.4.1. Quelle est la fréquence du signal fourni par la broche n°14 de Z08 (74HC4060), qui correspond à une division par  $2^8$ , et arrivant sur la broche n°27 (Osc<sub>in</sub>) du circuit Z09 (MC145163) ? on précise que la fréquence du quartz Y01 est de 10,240MHz.

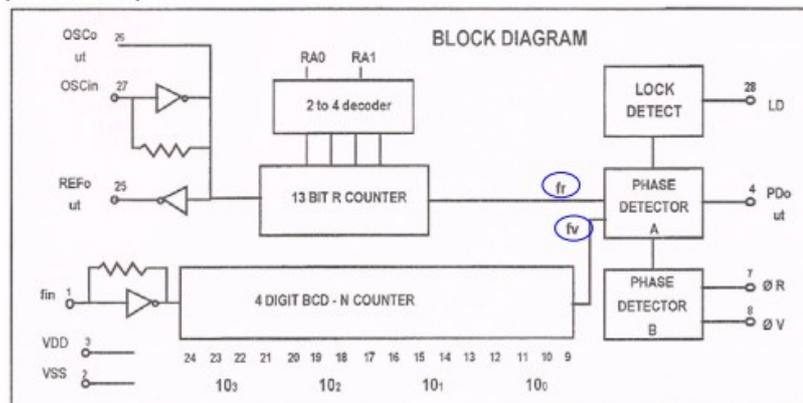
3.4.2. Sachant que Z07 (MC74HC74) est constitué de 2 bascules D, redessiner le schéma en mettant en évidence les branchements des 2 bascules D, préciser la fonction réalisée.

3.4.3. a) Le circuit Z06, diviseur de fréquence, est en technologie ECL, pourquoi ce choix ?

b) Quel est le rôle des circuits diviseur Z06 et Z07 ?

c) Calculer la fréquence du signal  $F_{IN}$  qui arrive sur la broche n°1 du circuit Z09, sachant que le circuit Z06 (MC12074) est un diviseur par 256 et tenant compte du rapport de division réalisé par Z07 calculé précédemment.

3.4.4. a) Quand la PLL est verrouillée, quel est le lien entre les 2 signaux fr et fv présents sur les entrées du comparateur de phase ?



b) Calculer la valeur de la fréquence du signal interne au MC145163 notée fr, tenir compte des broches n°5 : RA0 et n°6 : RA1 de Z09 (compteur interne R).

c) Etablir la valeur décimale du nombre à programmer dans le compteur N du MC145163 (Z09) pour assurer un fonctionnement correct du VCO à 334MHz (PLL verrouillée).

d) Convertir N en un nombre BCD à placer sur les broches n°9 à 24 du CI Z09.

3.4.5. Quel est le pas du synthétiseur de fréquence pour sélectionner le signal en entrée du récepteur ?

3.4.6. Quelle serait la valeur N à programmer sur la PLL MC145163 pour recevoir non plus un signal de fréquence 404MHz, mais de fréquence 420MHz ?

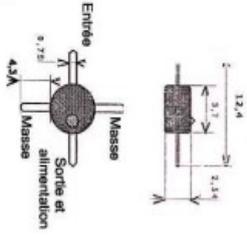


**MODULE MONOLITHIQUE**  
Large bande 5MHz à 2GHz

**MAV11**

Valeurs limites

courant collecteur	80 mA
Pc dissipation à 25°C	560 mW
Pe puissance d'entrée RF	100 mW
Tj température de jonction	150°C



Données  
Ib : courant de fonctionnement 30 à 80 mA  
Rth : résistance thermique 140°C/W  
réduire la puissance dissipée de 7,1 mW/°C pour toute température supérieure à 72 °C

Spécifications à T=25°C, Ib=60 mA, Ze = Zs =50Ω

Paramètre	Symbole	à f (GHz)	Min.	Typ.	Max.	Unité
Gain à faible signal	s 21	0,1		12,5	+1	dB
Constante du gain	ΔG / Δf	0,1 à 0,9	-1			dB
Bande passante à -3 dB	Δf			1,5		GHz
ROS entrée	ROS	HF à 1,8			2	
ROS sortie	ROS	HF à 2			2	
Facteur de bruit	F(-)	0,5		3,5		dB
Puissance de sortie (compr. 1dB)	P sat	0,5		18,0		dBm
Interception 3e ordre	P I	0,5		21,0		dBm
Temps de propagation de groupe	TPG	0,5		30,0		ps
Tension de fonctionnement	V0			100		V
Coefficient de température	ΔV / ΔT			5,6		mV / °C

18dBm=83mW  
22dBm=160mW  
30dBm=1W

**MOTOROLA MC145163**

**ADVANCE INFORMATION**

**BCD INPUT PLL  
FREQUENCY SYNTHESIZER**

This is one of a family of LSI PLL frequency Synthesizer part from MOTOROLA CMOS The family includes devices having general parallel 4-bit data bus and BCD programmable inputs. This is programmed by 4-digit BCD inputs. The device features consist of a reference oscillator, selectable reference divider, two output phase detector and a 4 digit BCD programmable divider-by-N counter.

- General Purpose Applications
- Two-Way Radio
- Amateur Radio
- Industrial Receiver
- Low Power Consumption
- 3.0 to 9.0 Vdc Supply Range
- > 30 MHz Typical Input Capability @ 5 Vdc
- On or Off - Chip Reference Oscillator Operation
- Lock Detect Signal
- 4 User - Selectable + R Value - 1024 2048 4096
- + N Range = 3 to 9999
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single Ended/Three-State/Double Ended

C SUFFIX PLASTIC QUAD PACKAGE PACKAGE	P SUFFIX PLASTIC DIL
1 Pin	LD
2 VSS	000n
3 VCO	000n
4 PO out	REF out
5 PA0	000
6 PA1	000
7 PA2	000
8 PA3	000
9 PA4	000
10 PA5	000
11 PA6	000
12 PA7	000
13 PA8	000
14 PA9	000

