

1) INTRODUCTION

Les circuits logiques programmables ont fait leur apparition au début des années 80.

2) TERMINOLOGIE

Abréviations couramment utilisées:

EPLD: Erasable Programmable Logic Device

FPGA: Field Programmable Gate Array

GAL: Generic Array Logic

LCA: logic Cell Array

MACH: Macro Array Cmos High density

PAL: Programmable Array Logic

PLD: Programmable Logic Device

PGA: Programmable Gate Array

CPLD: Complex Programmable Logic Device

3) Quelques fabricants

Haut niveau d'intégration:

Altera

Xilinx

Actel

Atmel

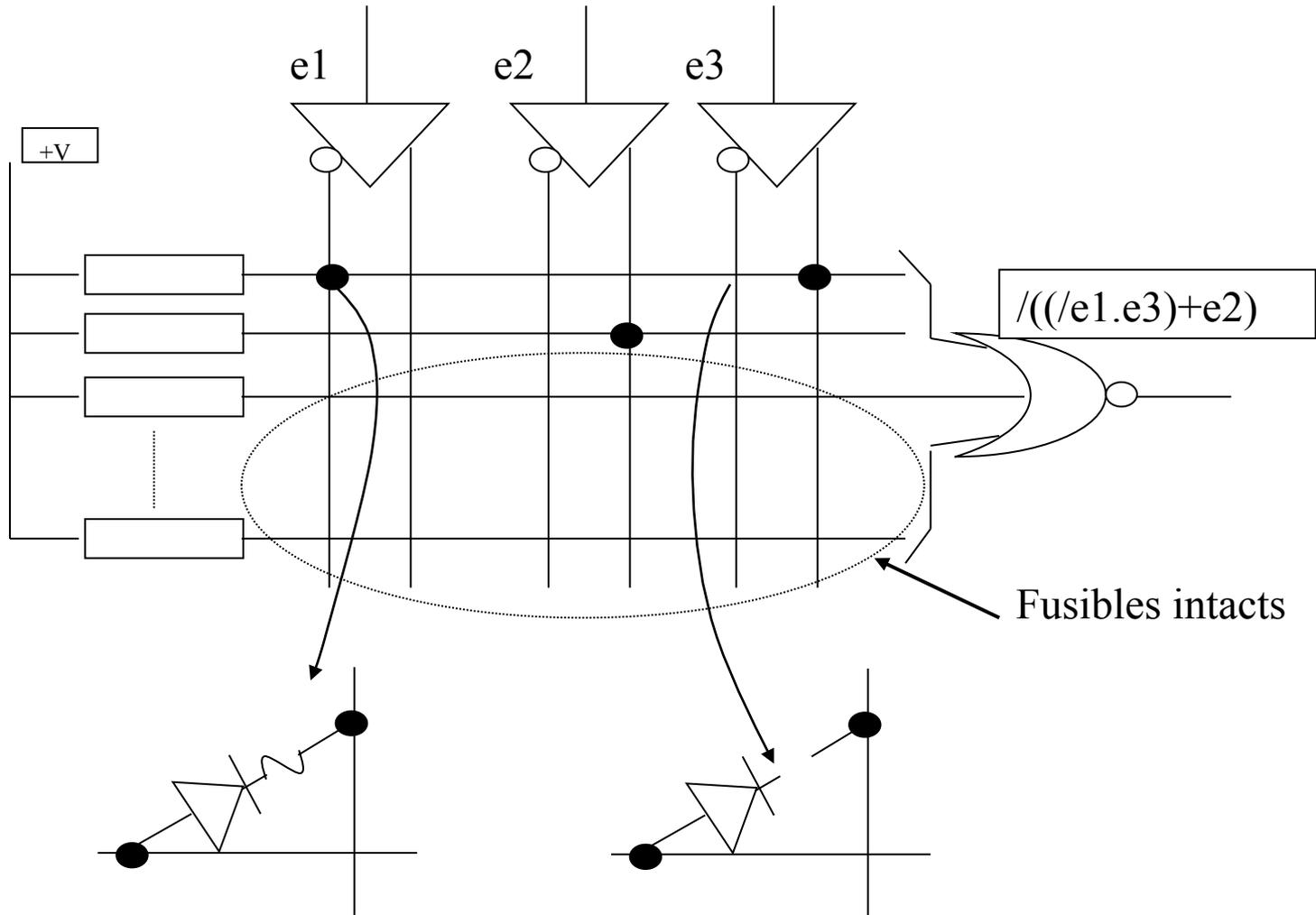
...

4) TECHNOLOGIES

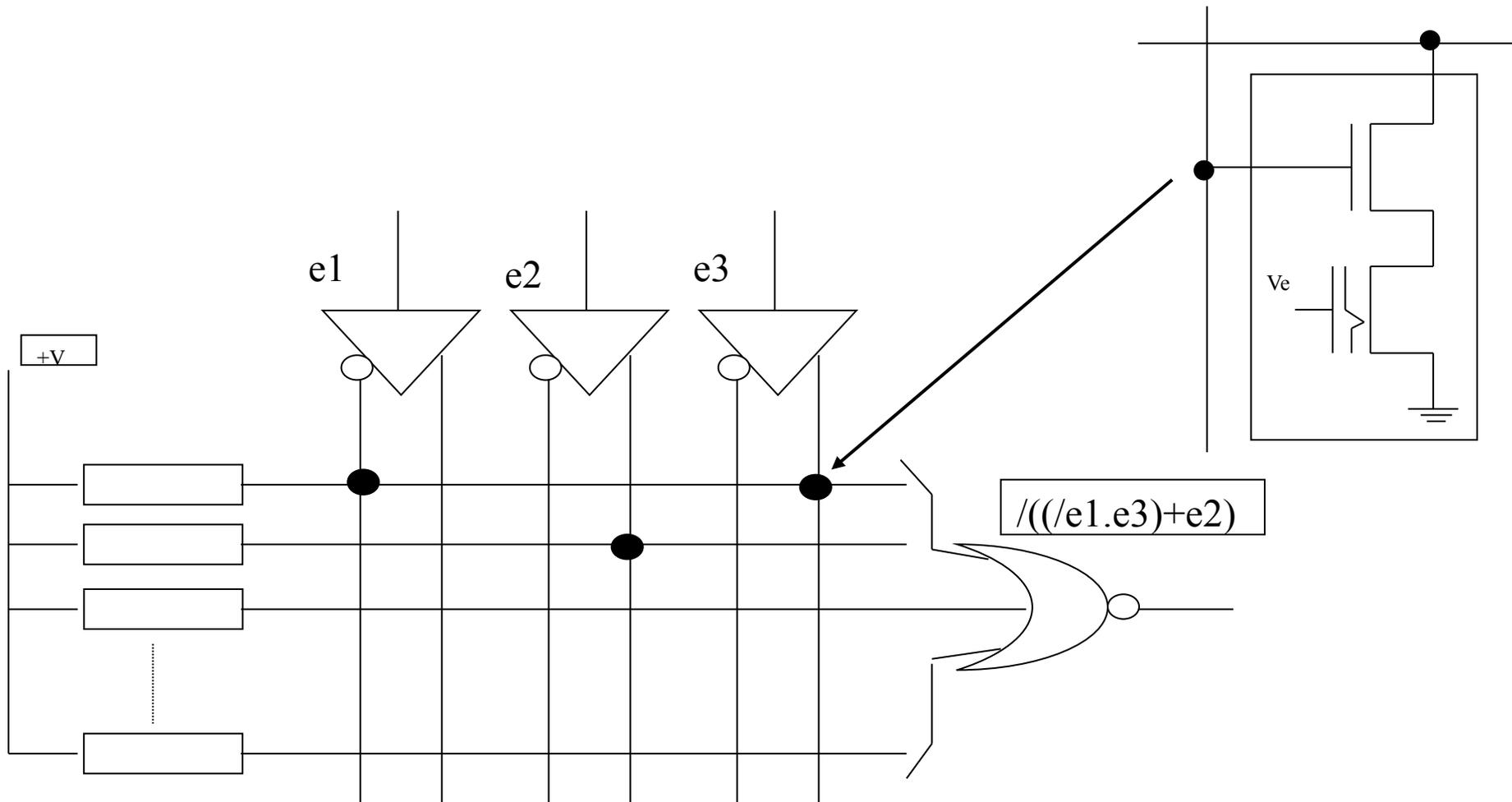
Selon les fabricants on trouve des circuits:

- OTP (One Time Programmable) constitués de matrices à fusibles (ou anti-fusibles). **(très peu utilisés aujourd' hui!)**
- Effaçables aux U.V. (type EPROM). **(quasiment plus utilisés!)**
- Effaçables électriquement (EEPROM).
- Programmables par RAMs statiques. **(les plus utilisés: faible consommation)**

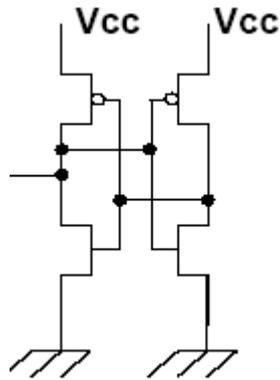
5) PRINCIPE DE PROGRAMMATION (anciennes générations: fusibles)



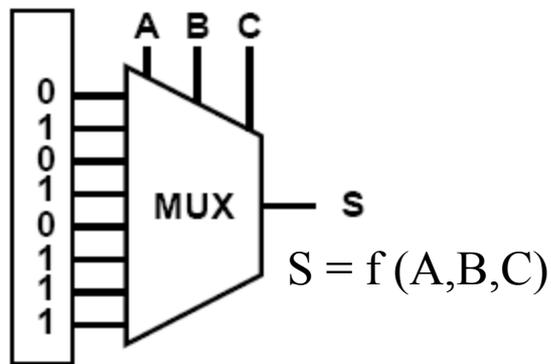
5) PRINCIPE DE PROGRAMMATION (transistors MOS à grille flottante)



5) Evolution principe de programmation (SRAM + multiplexeur ou LUT)

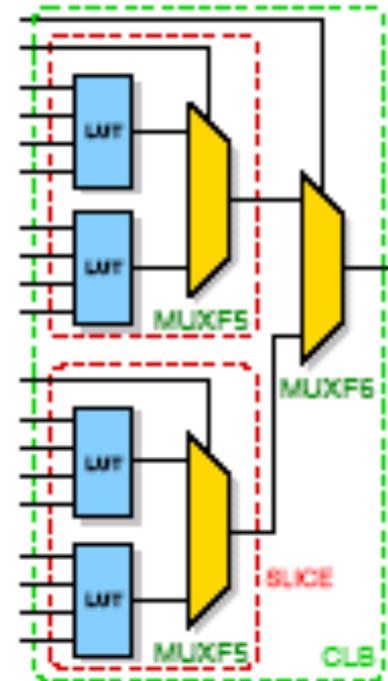


3 entrées logiques



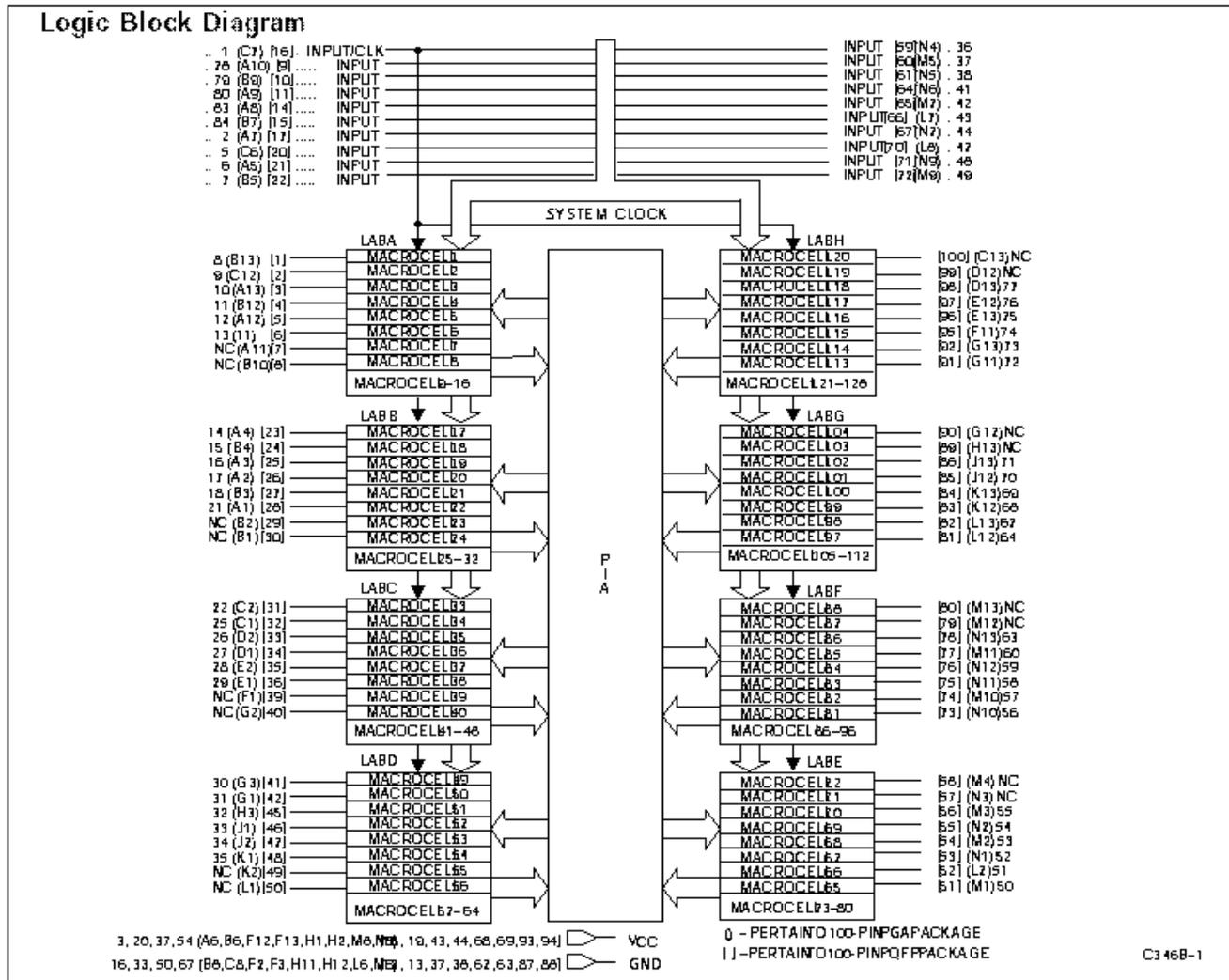
8 cellules SRAM

Bloc de LUT 4 entrées
(FPGA actuels)



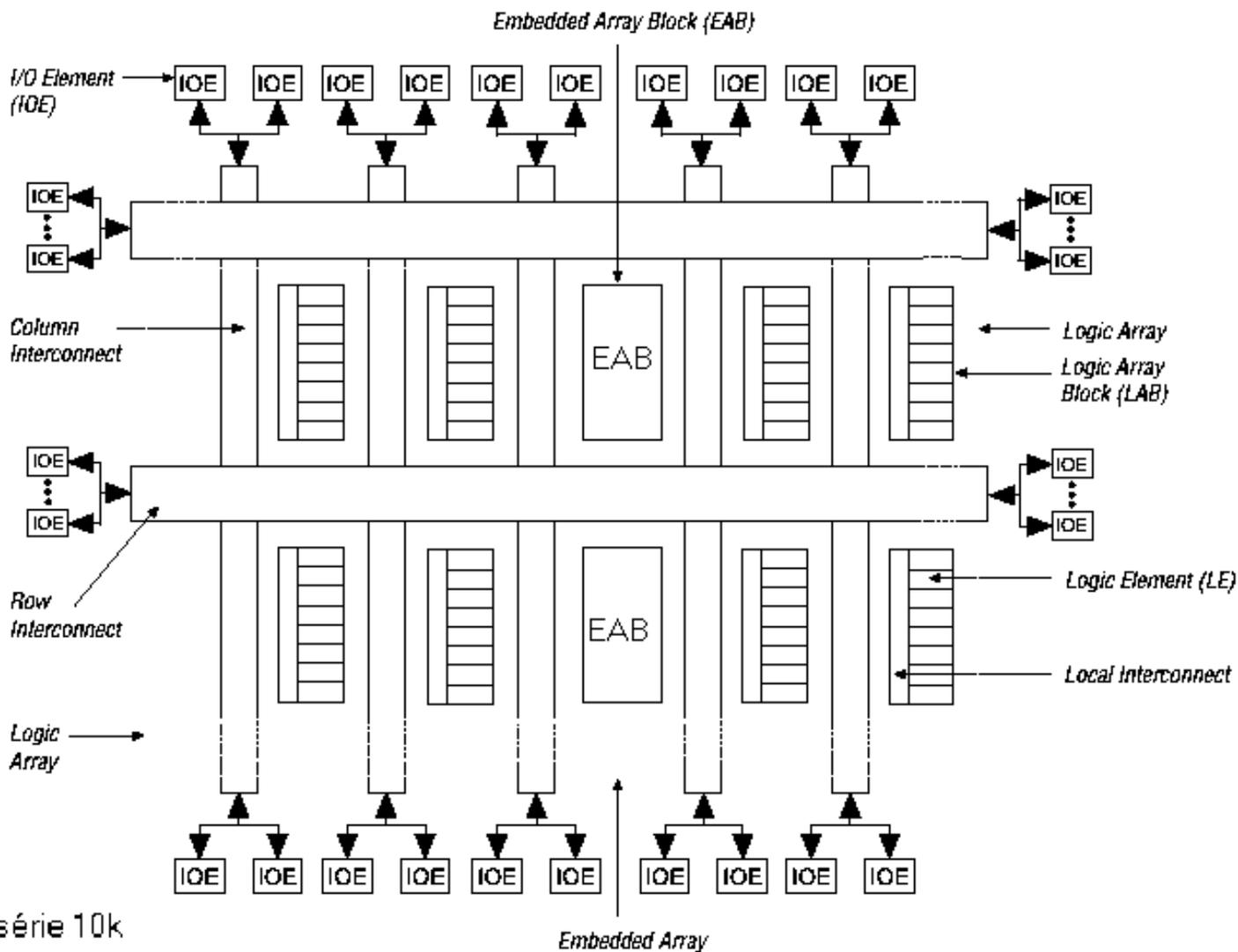
7) Circuits LSI: ALTERA série 5000

Interconnexion des cellules

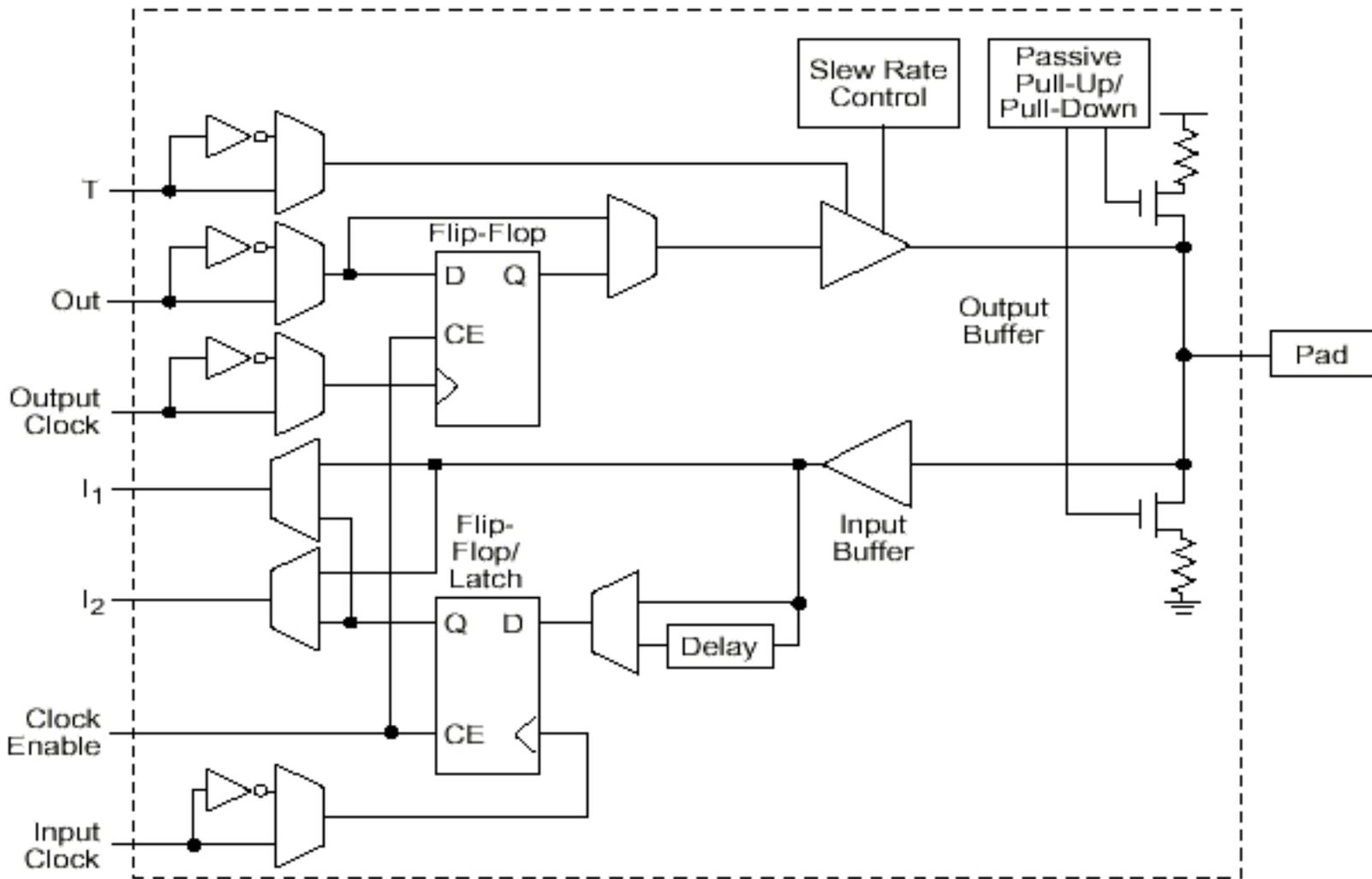


7) Circuits LSI: ALTERA série 10k

ARCHITECTURE avec blocs mémoire

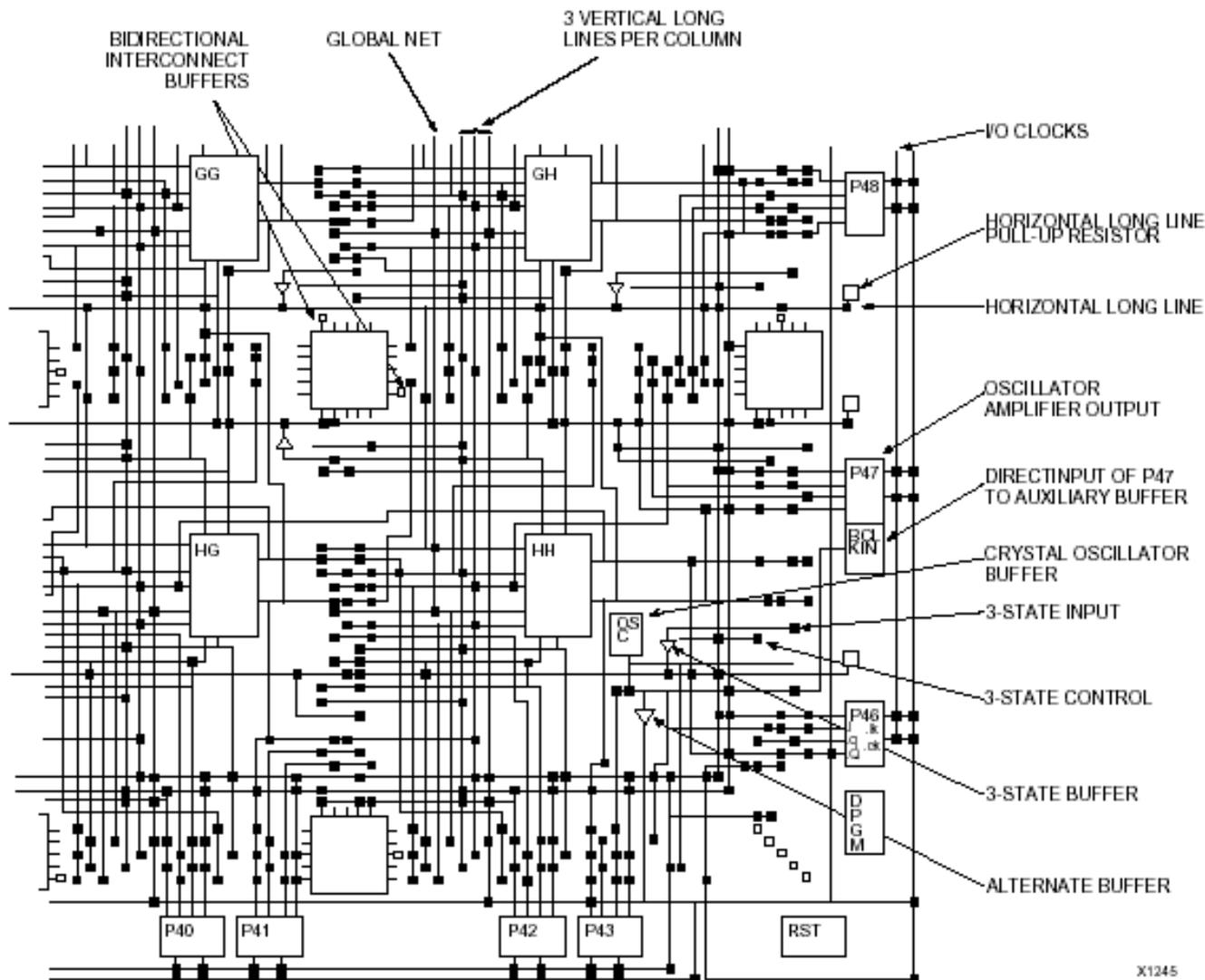


7) Circuits LSI: XILINX famille 3000 : Macro-cellule type

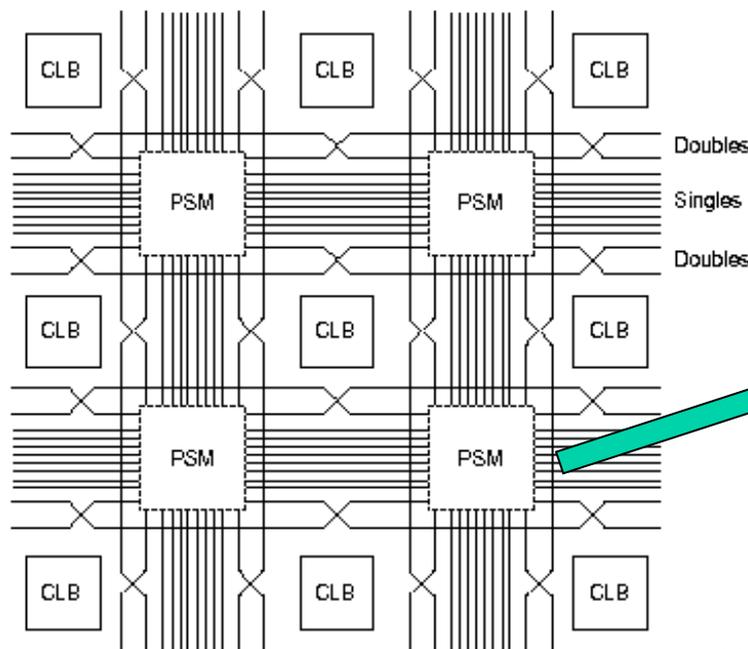


7) Circuits LSI: XILINX famille 3000

Routage des macro-cellules



7) Circuits LSI: XILINX famille 4000



x6811

Structure interne

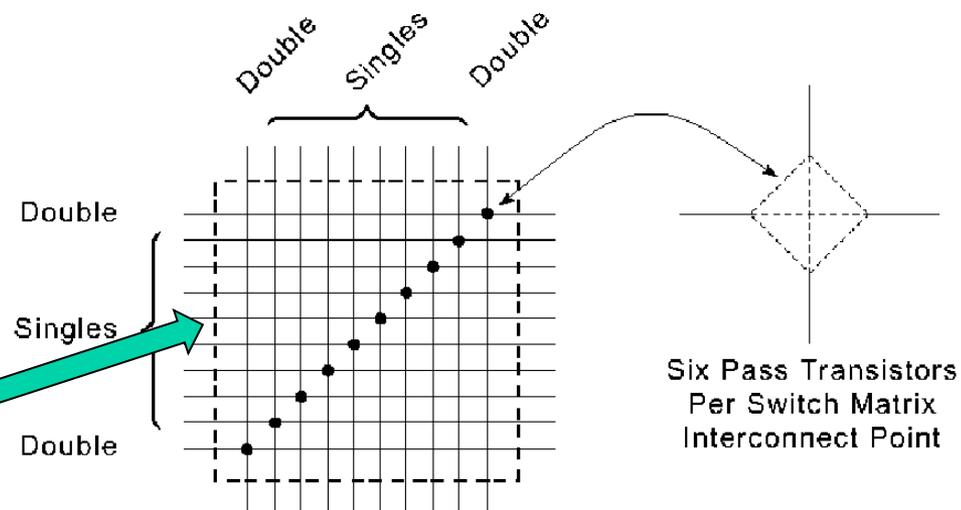
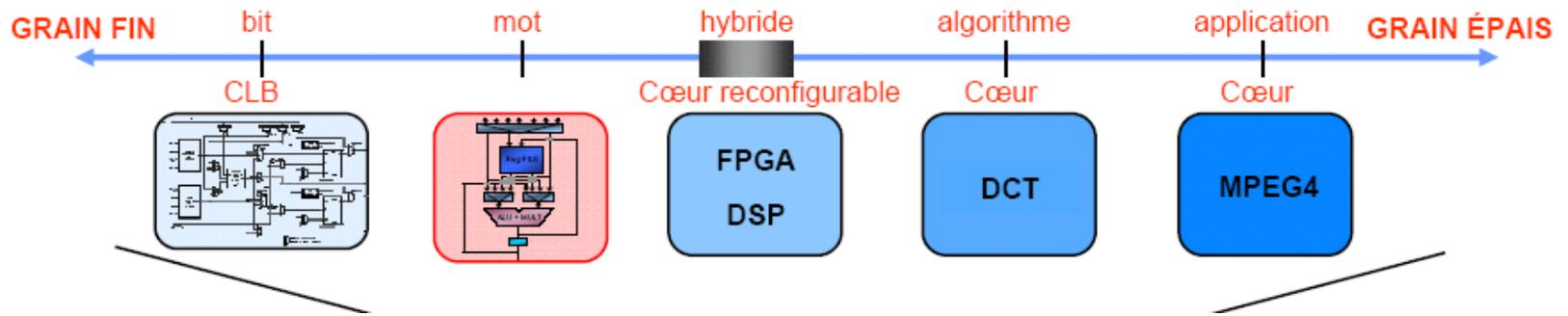


Figure 28: Single- and Double-Length Lines, with Programmable Switch Matrices (PSMs)

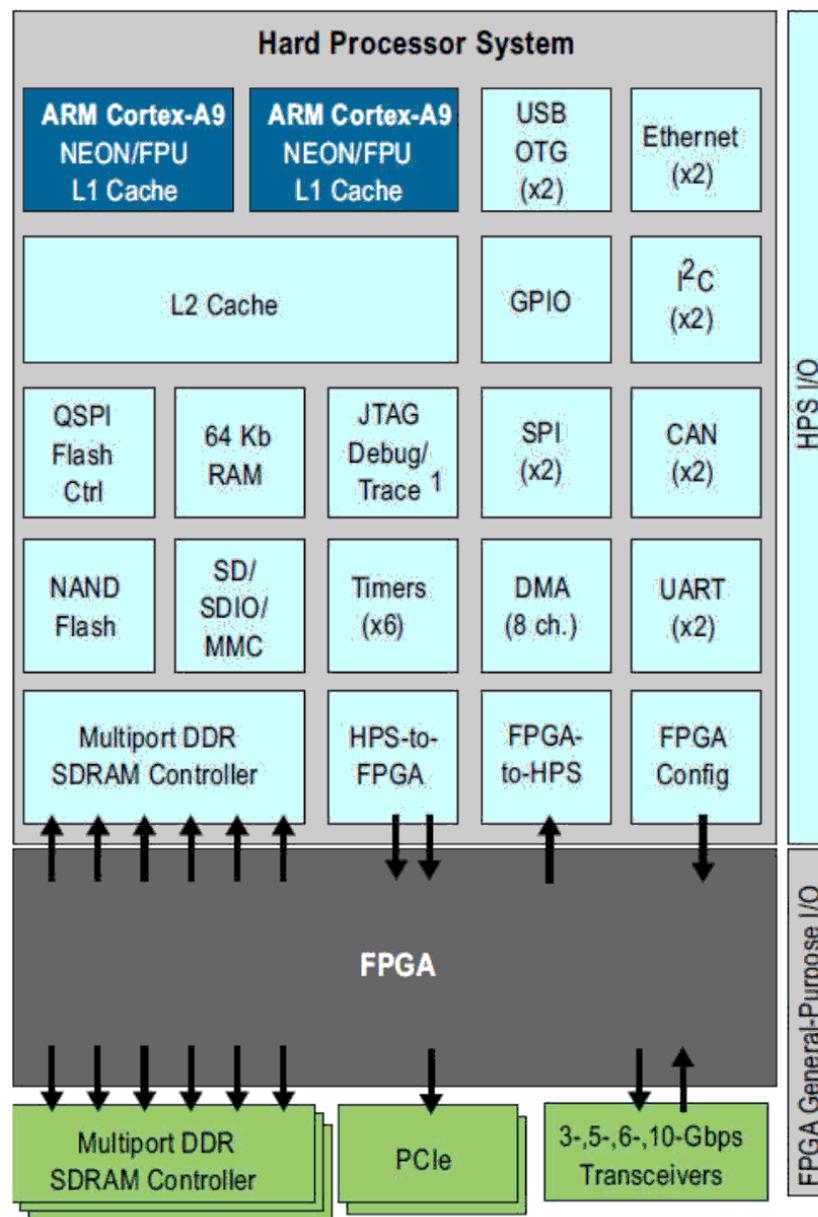
8) Notion de granularité: du grain fin au grain épais



8) Circuits VLSI: ALTERA

Processeurs hardcore:

(en dur dans le circuit)



8) Circuits VLSI: ALTERA (séries Stratix, Cyclone, ...)

Intégration de:

- PLL
- Cœurs de processeurs (softcore)
- Multiplieurs accumulateurs
- Blocs IP (FFT, USB2, cœurs de processeurs sous forme IP, ...)

Select a Nios II core:

	<input type="radio"/> Nios II/e	<input checked="" type="radio"/> Nios II/s	<input type="radio"/> Nios II/f
Nios II	RISC 32-bit	RISC 32-bit Instruction Cache Branch Prediction Hardware Multiply Hardware Divide	RISC 32-bit Instruction Cache Branch Prediction Hardware Multiply Hardware Divide Barrel Shifter Data Cache Dynamic Branch Prediction
Selector Guide			
Family: Stratix			
f _{system} : 0,0 MHz			
cpuid: 0			
Performance at 0,0 MHz	Up to 0 DMIPS	Up to 0 DMIPS	Up to 0 DMIPS
Logic Usage	600-700 LEs	1200-1400 LEs	1400-1800 LEs
Memory Usage	Two M4Ks (or equiv.)	Two M4Ks + cache	Three M4Ks + cache

9) Evolution des tensions d'alimentation et des technologies

A ce jour: plus de quatre millions de portes !!!

Tensions d'alimentation: 5V pour les premières générations à 3.3V, 2.5V puis 1.8V, 1.5V et 1.2V (0.13µm). **Aujourd'hui: 12nm !!**

Les circuits de dernière génération (exemple: familles APEX, STRATIX d'ALTERA) sont dits « MULTI-I/O » et peuvent être interconnectés avec des familles de technologies différentes.

LVTTL: Low Voltage TTL

LVC MOS: Low Voltage CMOS

GTL+: Gunning transceiver logic

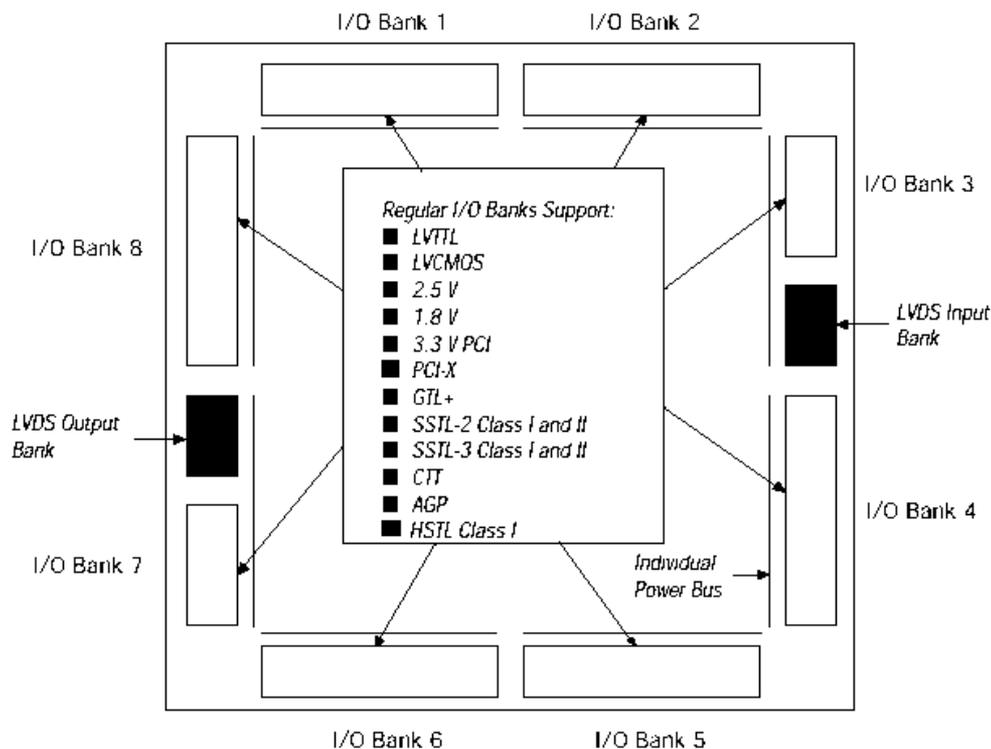
SSTL: Stub Series Terminated Logic

CTT: center Tap Terminated

AGP: Advanced Graphic Port

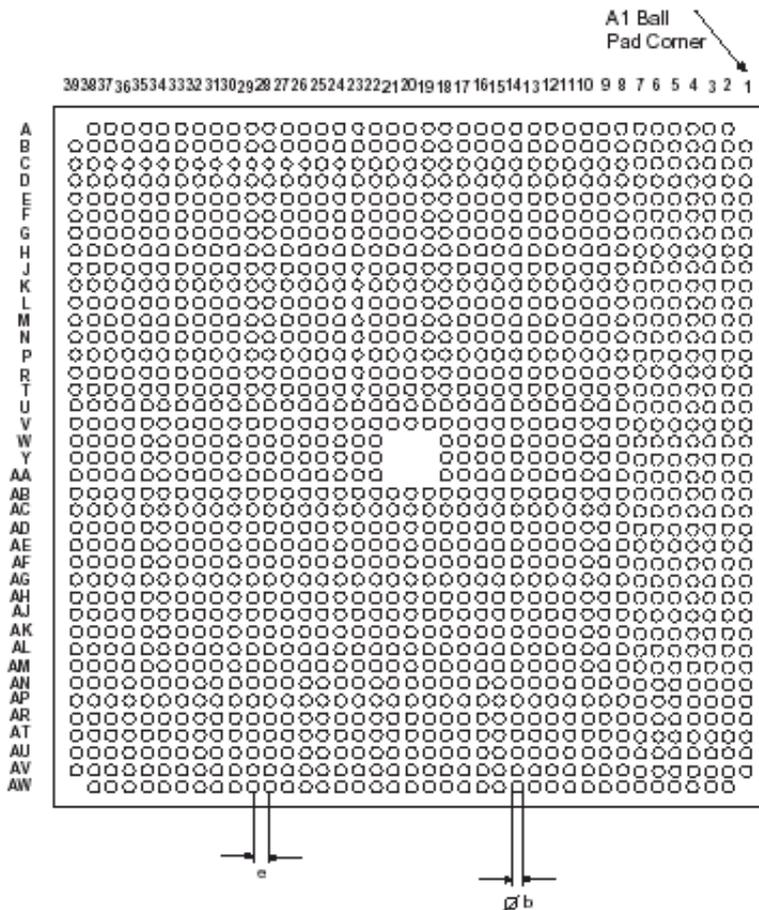
HSTL: high Speed Transceiver Logic

LVDS: low Voltage differential Signal

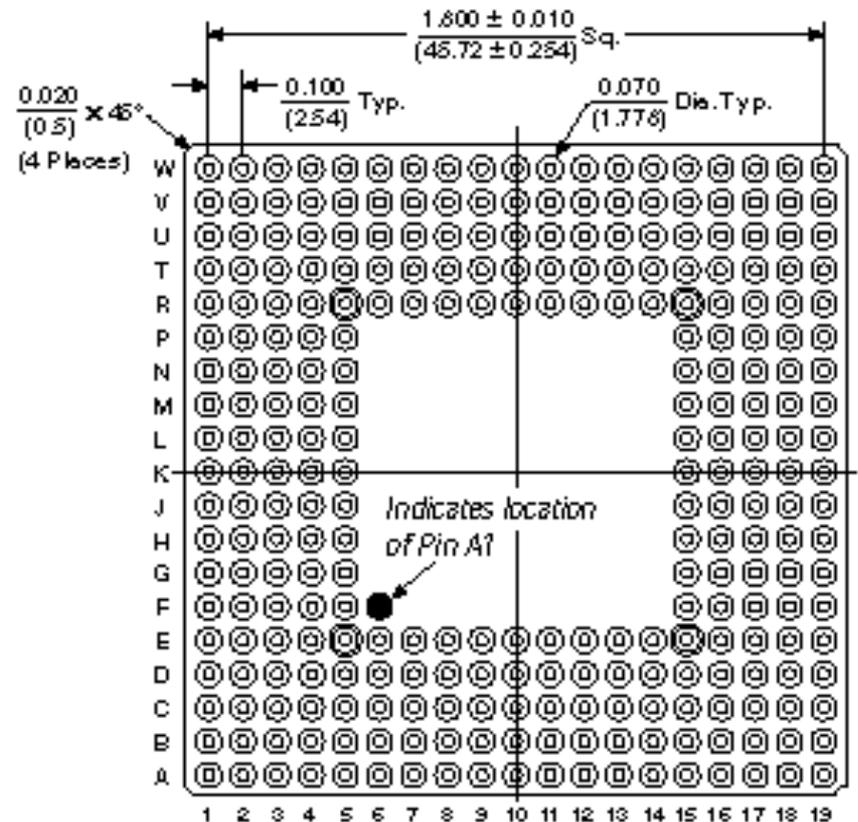


10) Boîtiers

BGA 1548 pins (40mm)



PGA 280 pins (peu utilisés)



AVANTAGES DES CIRCUITS PROGRAMMABLES.

- LA COMPACTITE
- LA CONSOMMATION
- LES TEMPS DE PROPAGATION
- LA SIMPLIFICATION DE L' ETUDE DU CI
- LA SIMPLIFICATION DE LA FABRICATION DU CI
- LA SIMPLIFICATION DU CÂBLAGE
- LA REDUCTION DES STOCKS
- LA REDUCTION DU TEMPS DE DEVELOPPEMENT (Time to Market)
- COÛT GRANDE SERIE (boîtiers OTP)
- LA CONFIDENTIALITE
- LA CEM
- L' EVOLUTIVITE
- LA RECONFIGURABILITE
- LA TESTABILITE (interface JTAG)

11) Les outils de synthèse.

- Equations logiques
- Tables de vérité
- Machines à état
- Schémas (symboles graphiques)
- Langages (VHDL, AHDL, VERILOG, SystemC, SystemVerilog ...)

**VHDL: STANDARD reconnu par l' IEEE
norme IEEE-1076 (1987)
et IEEE-1164 (1993)**

12) Les tendances.

- Apparition de compilateurs **C => VHDL** voire **SystemC => VHDL**

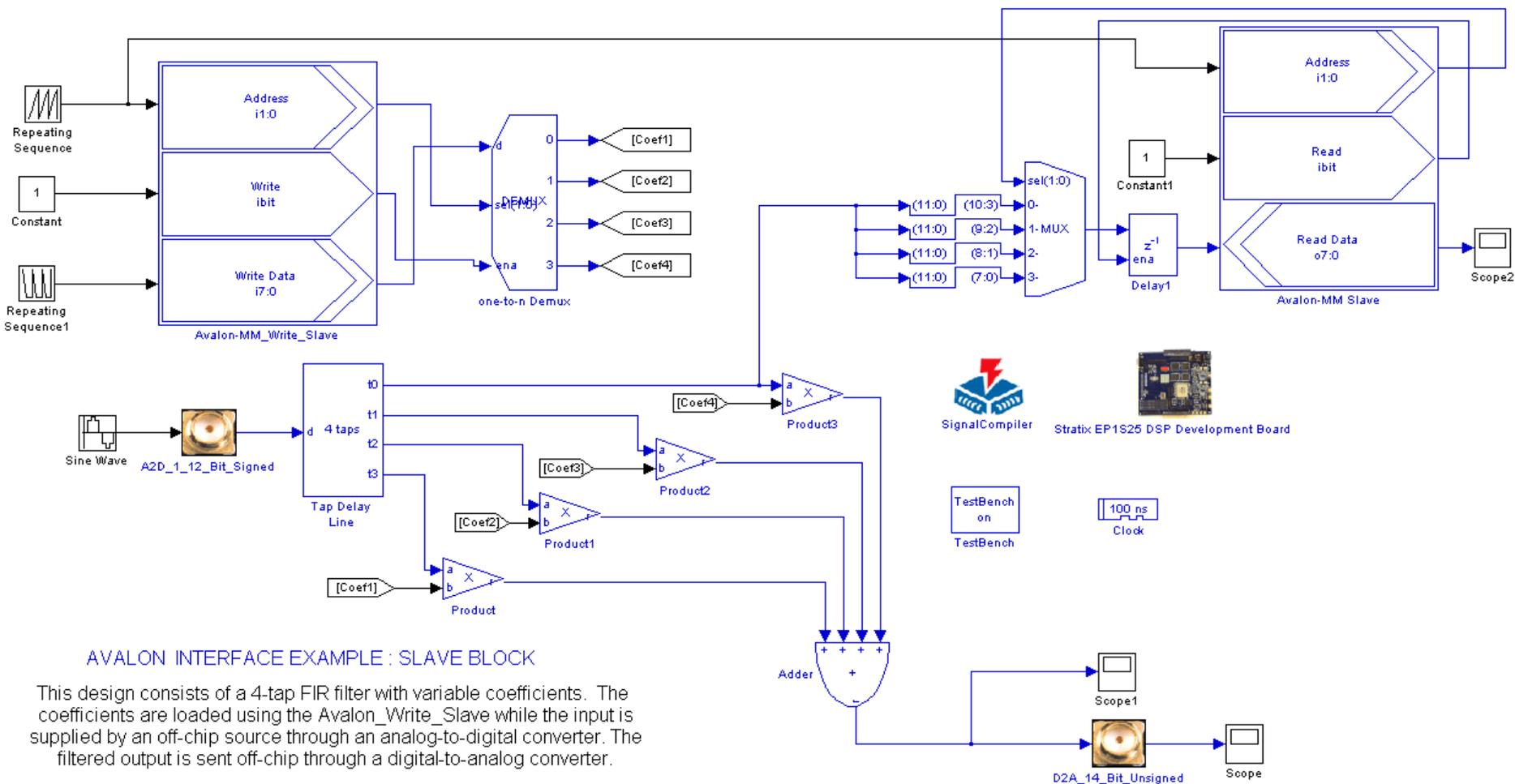
- ⇒ TRITON (Poseidon Design Systems)
- ⇒ GAUT (LESTER Université de Bretagne Sud)
- ⇒ CATAPULT C (Mentor Graphics)
- ⇒ IMPULSE C (Impulse Accelerated Technologies)
- ⇒ PICO (Symphora)
- ⇒ UGH (Tima/Lip6)
- ⇒ DK design suite (Celoxica)
- ⇒ ...

12) Les tendances.

- Conception niveau Système:

- DSP Builder (Altera)
- Synplify DSP (Synplicity)
- XN Generator
- Simulink HDL

12) Les tendances.



- **Conception niveau Système: le code VHDL est généré par un compilateur à partir de schémas blocs**

- **intérêt: valider rapidement un concept , faciliter l'exploration architecturale**

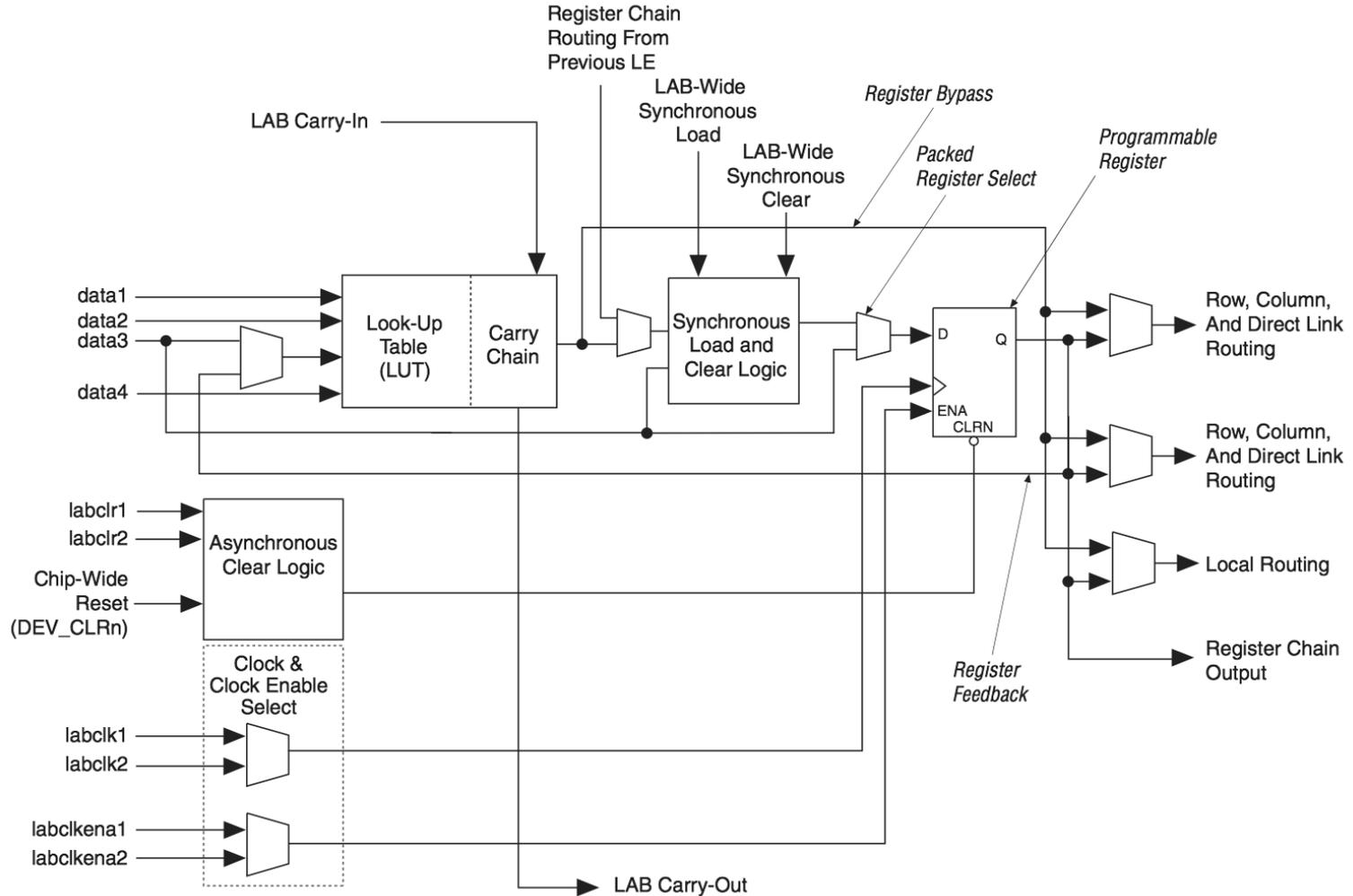
13) Cartes utilisées en BE:

- **TERASIC DE2-C35** équipée d'un **FPGA cyclone 2** pour les TP
- **DE0 Nano** équipée d'un **cyclone 4 CE22** pour le projet

- Altera cyclone 2 : ref : EP2C35F672C6N
- 33 216 éléments logiques
- 473 Kbits de SRAM embarquée
- 35 multiplieurs câblés (18x18 bits)
- 4 PLL
- 475 E/S
- 672 broches
- boîtier FBGA (Flip chip Ball Grid Array)

- Altera cyclone 4 : ref : EP4CE22F17C6N
- 22 320 éléments logiques
- 594 Kbits de SRAM embarquée
- 66 multiplieurs câblés (18x18 bits)
- 4 PLL
- 153 E/S
- 256 broches
- boîtier FBGA (Flip chip Ball Grid Array)

13) FPGA cyclone 2C35 Architecture d'une macro cellule



13) Flot de conception.

