

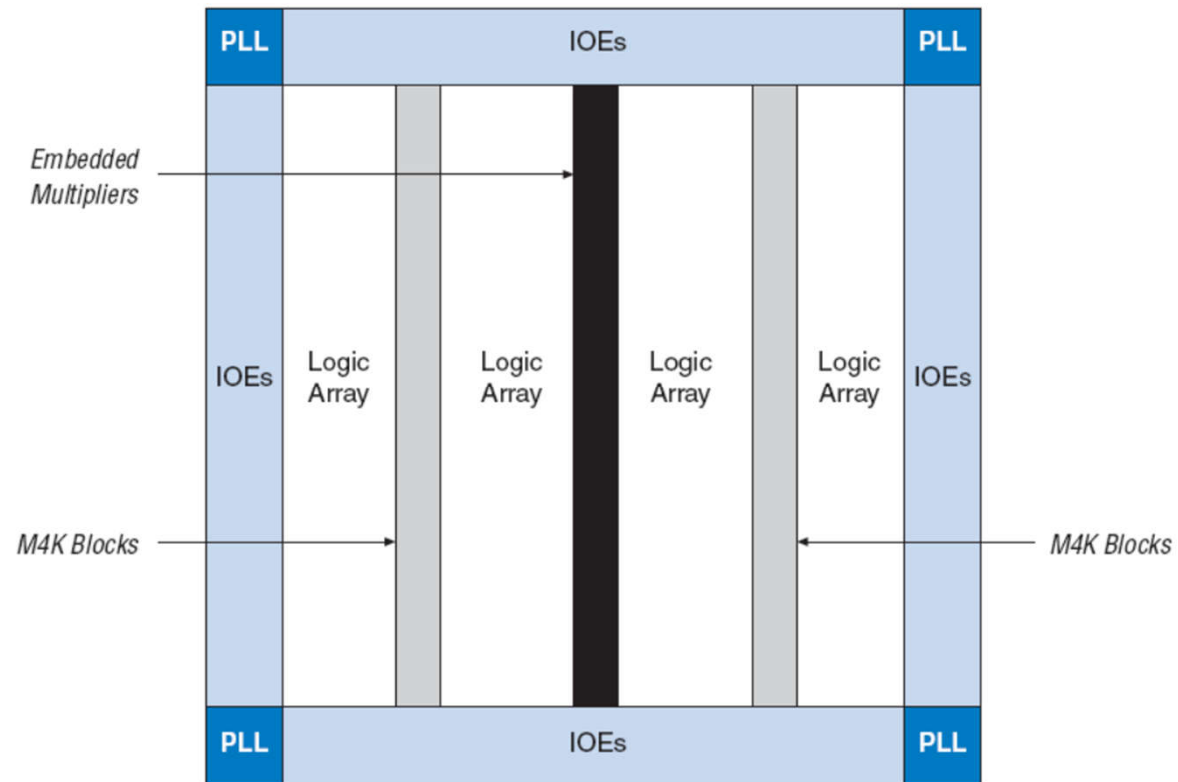
Présentation des circuits FPGA

Cyclone II

Carte DE2

(D'après le cours Eric PERONNIN)

- Structure interne d'un Cyclone II



FPGA cyclone 2

Structure interne (2)

■ Caractéristiques principales d'un Cyclone II

Gravure en 90nm.

Architecture haute densité avec entre 4608 et 68416 LE

Jusqu'à 1.1 Mbits de RAM(M4K Blocks)

Largeur de bus de données configurable

(x1, x2, x4, x8, x16, x32, x36)

Véritable mode double accès.

Vitesse de fonctionnement max 260 MHz.

Jusqu'à 150 Multiplieurs 18x18 embarqués (Embedded Multipliers).

Entrées/Sorties avancées (IOEs)

Différentielles (LVDS, LVECL, ...).

Simple (3.3v, 2.5v, 1.8v et 1.5v LVCMOS, 3.3v, 2.5v et 1.8v LVTTL, ...).

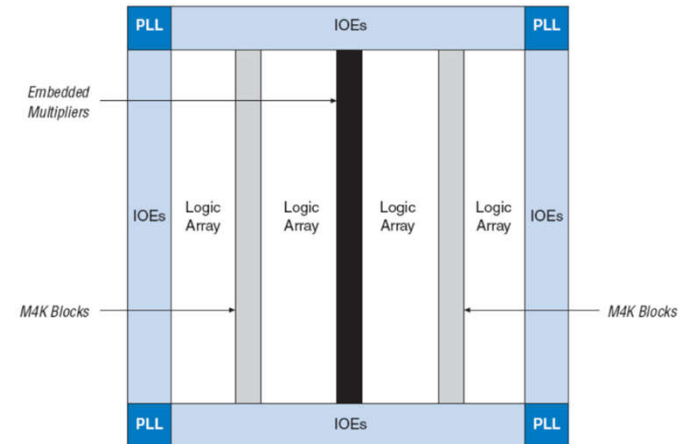
PCI et PCI Express.

Configuration

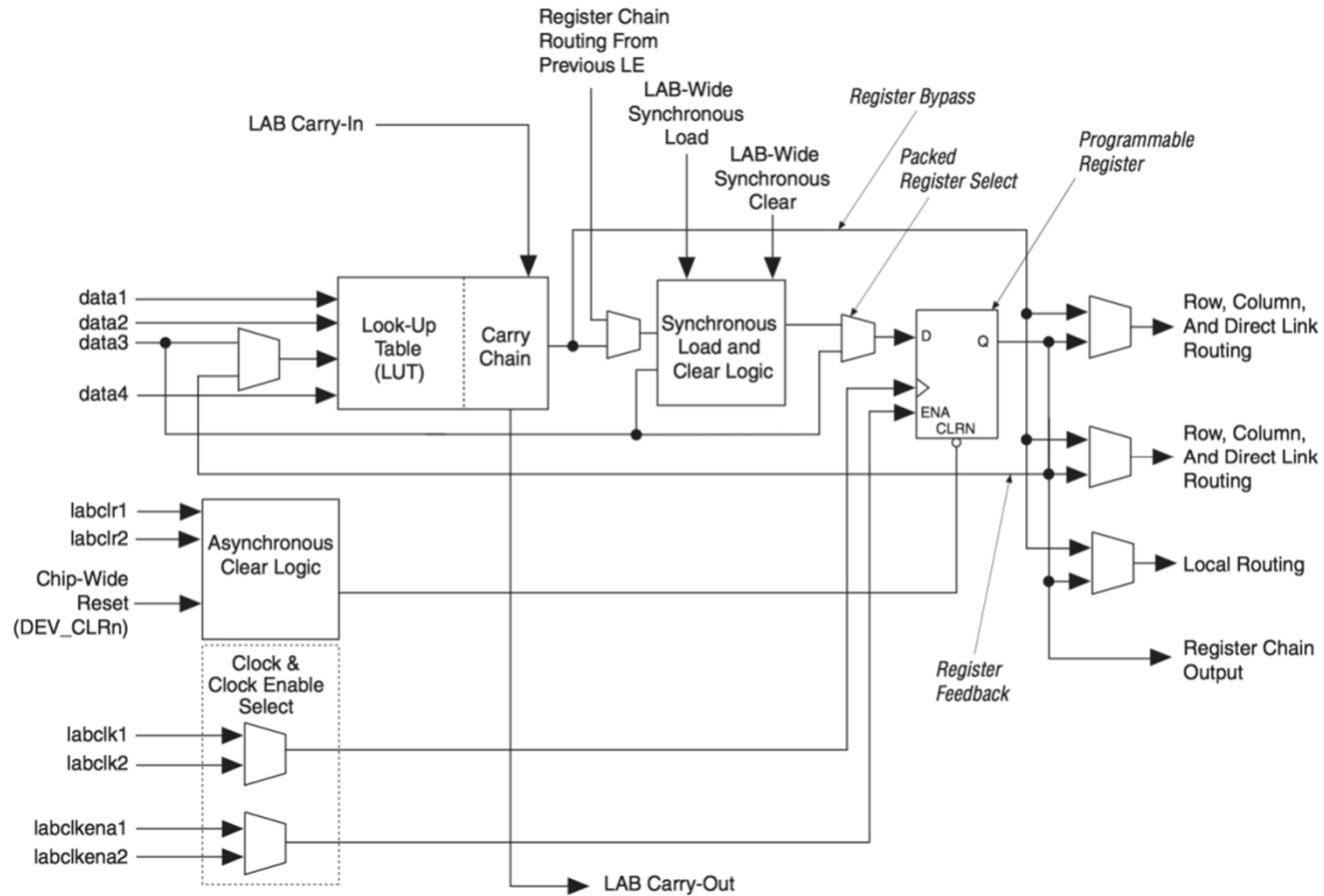
Mode rapide pour une configuration en moins de 100 ms.

Mode série ou JTAG.

Possible avec des mémoires de configuration série à bas coût.

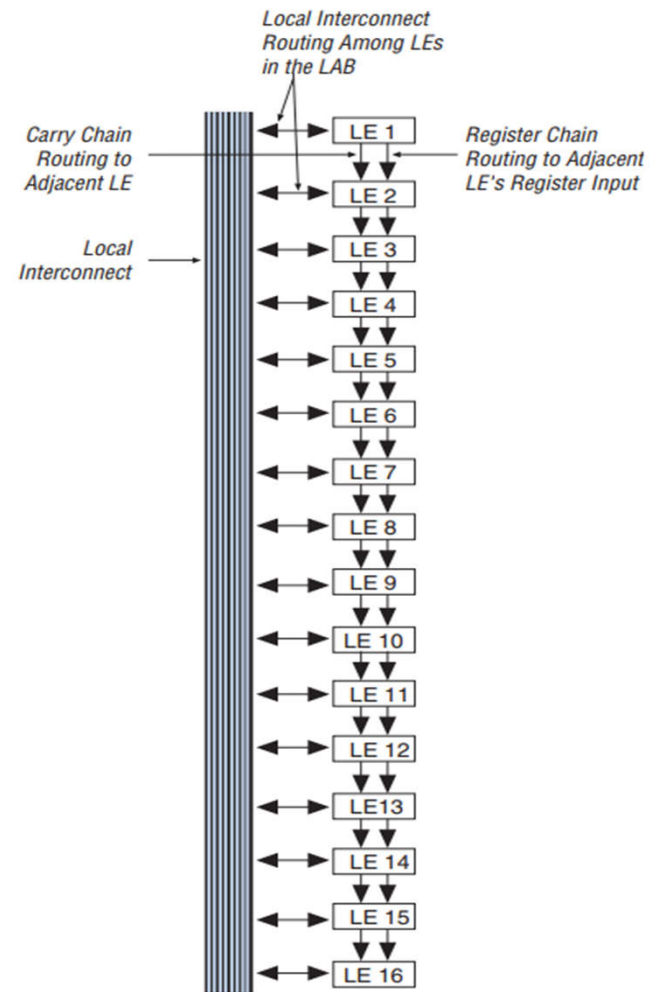


FPGA cyclone 2C35 Architecture d'une macro cellule



FPGA cyclone 2 : LAB Bloc de réseaux logiques (1)

Connexions chaînées entre LEs dans un LAB



FPGA cyclone 2 : LAB Bloc de réseaux logiques (2)

Connexions chaînées entre LEs dans un LAB

Le LAB c'est :

16 Eléments Logiques (LE).

Des signaux dédiés pour optimiser les calculs entre LE
(signal de carry par exemple).

Un réseau d'interconnexion local pour la communication entre le LE et le LAB.

Un accès direct aux éléments adjacents du LAB dans la structure du FPGA :

Un autre LAB,

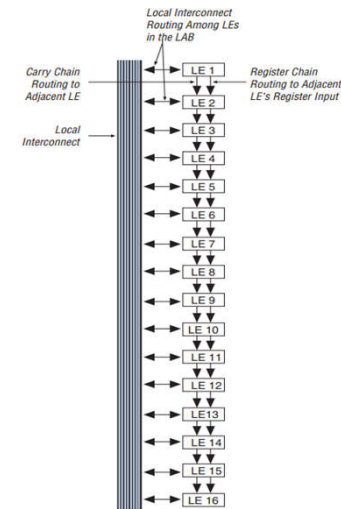
Un bloc mémoire pour les LABs adjacents aux zones mémoires,

Un signal d'horloge (PLL),

Un multiplieur,

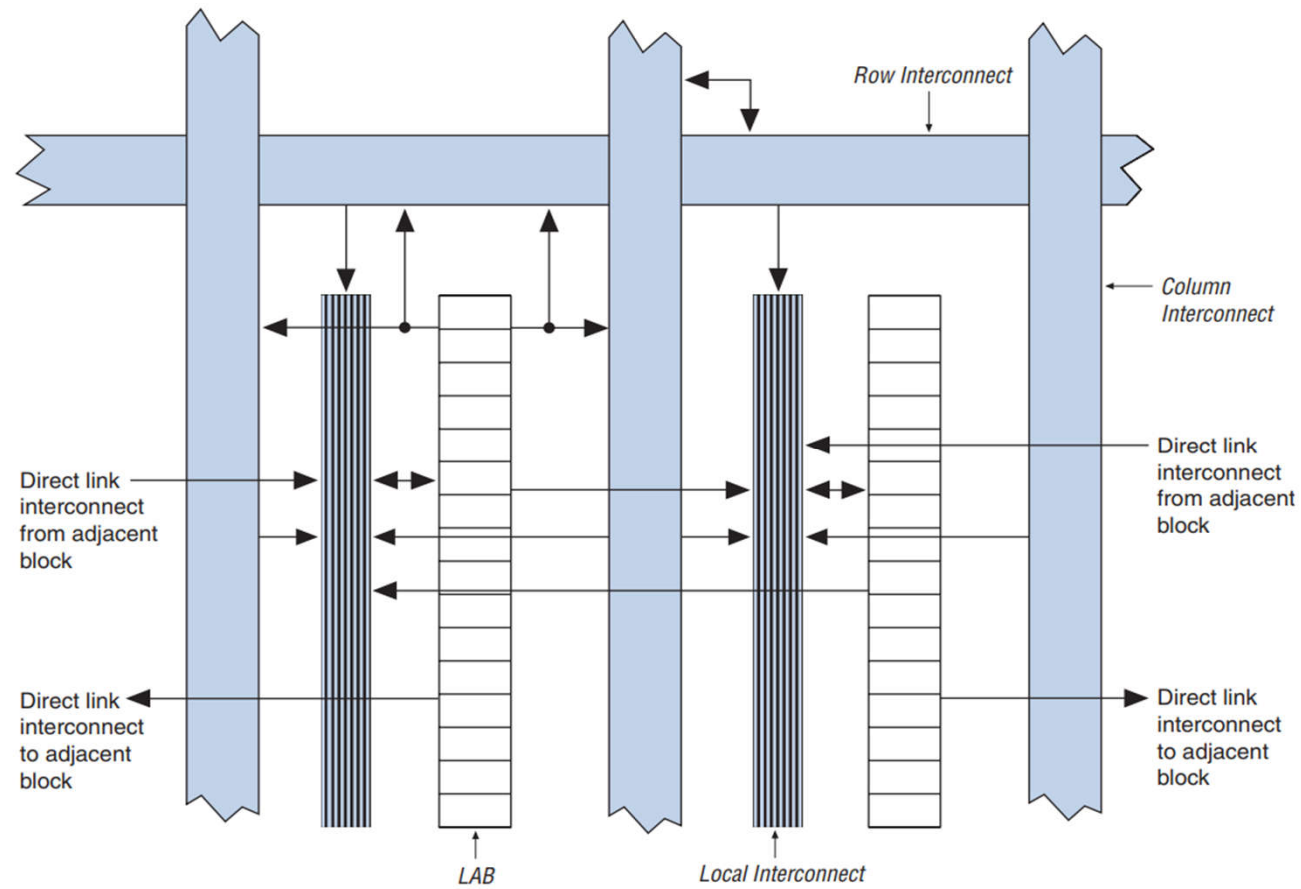
Un IOE (Elément d'entrée / sortie).

Un accès aux réseaux d'interconnexions lignes / colonnes pour atteindre n'importe quel point du composant.



FPGA cyclone 2

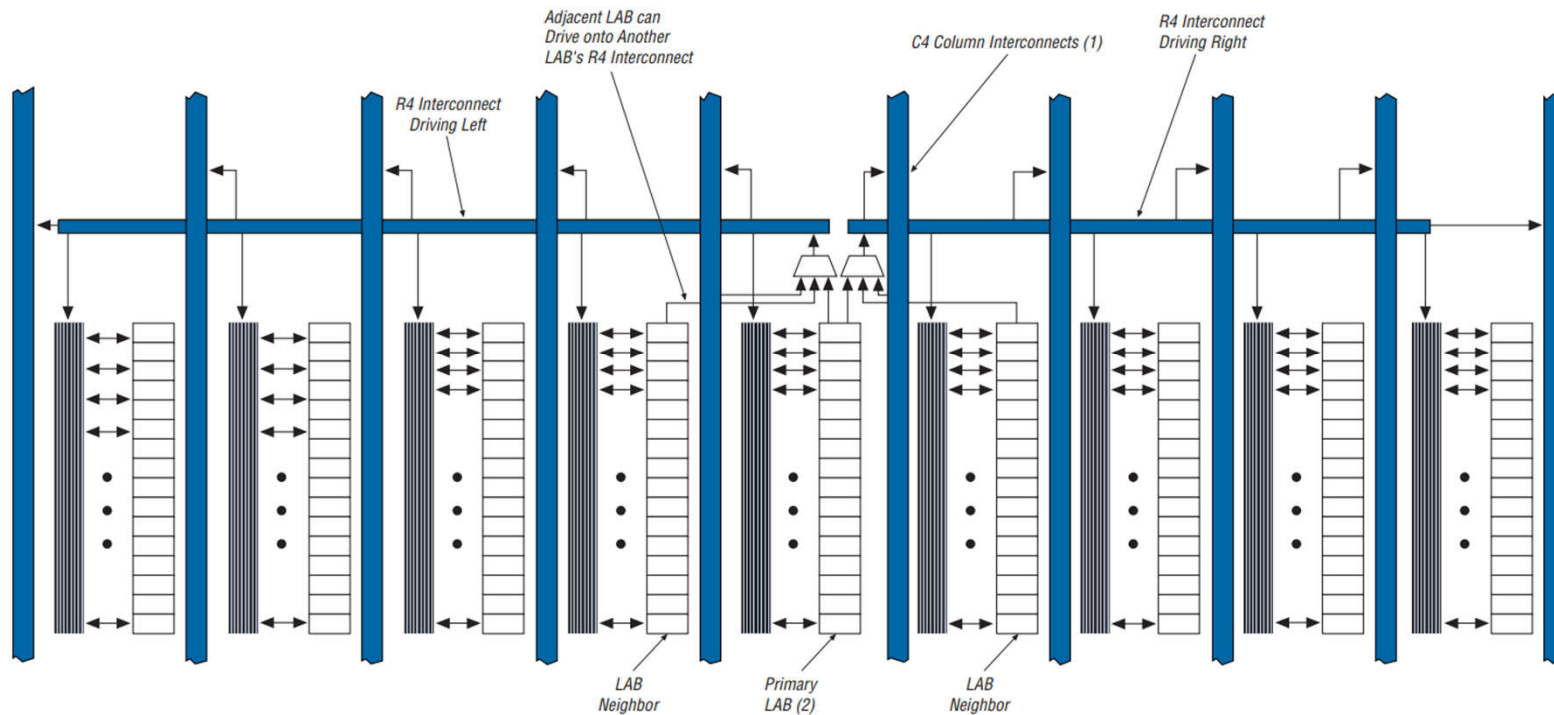
Connexion directe au niveau d'un LAB



M2 SME

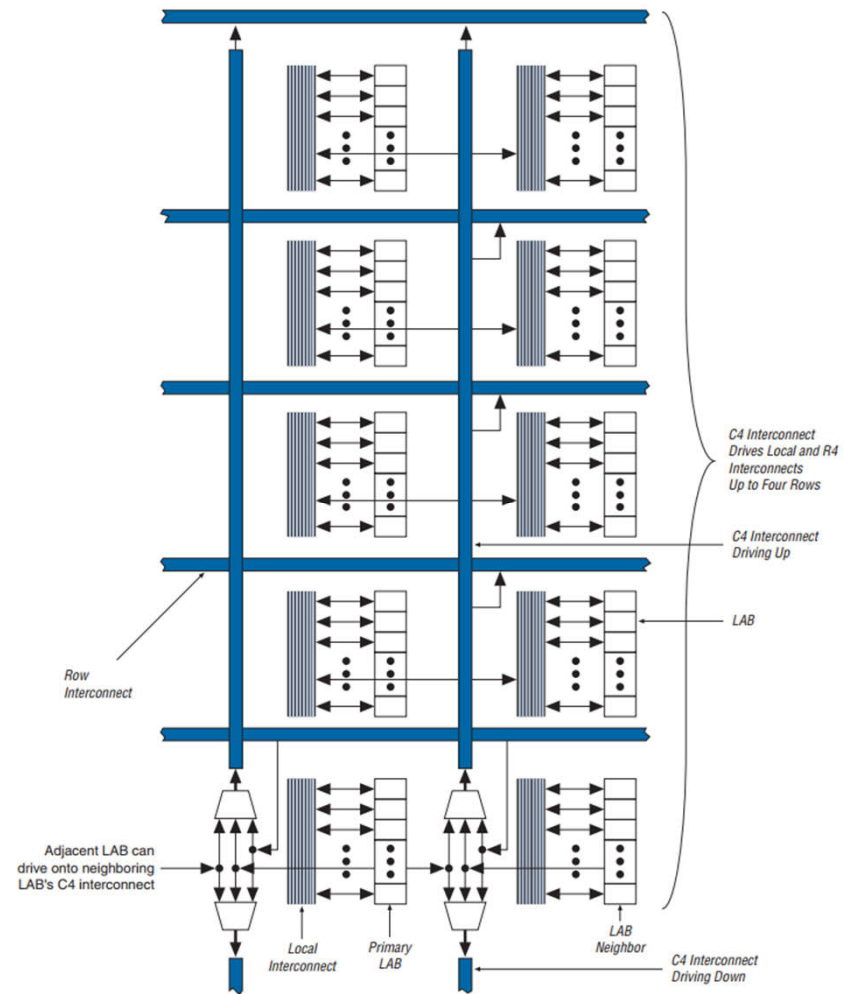
R4 interconnect

En lignes, pour optimiser les temps de propagation de 4 LABs en 4 LABs (existe aussi de 24 en 24 LABs).

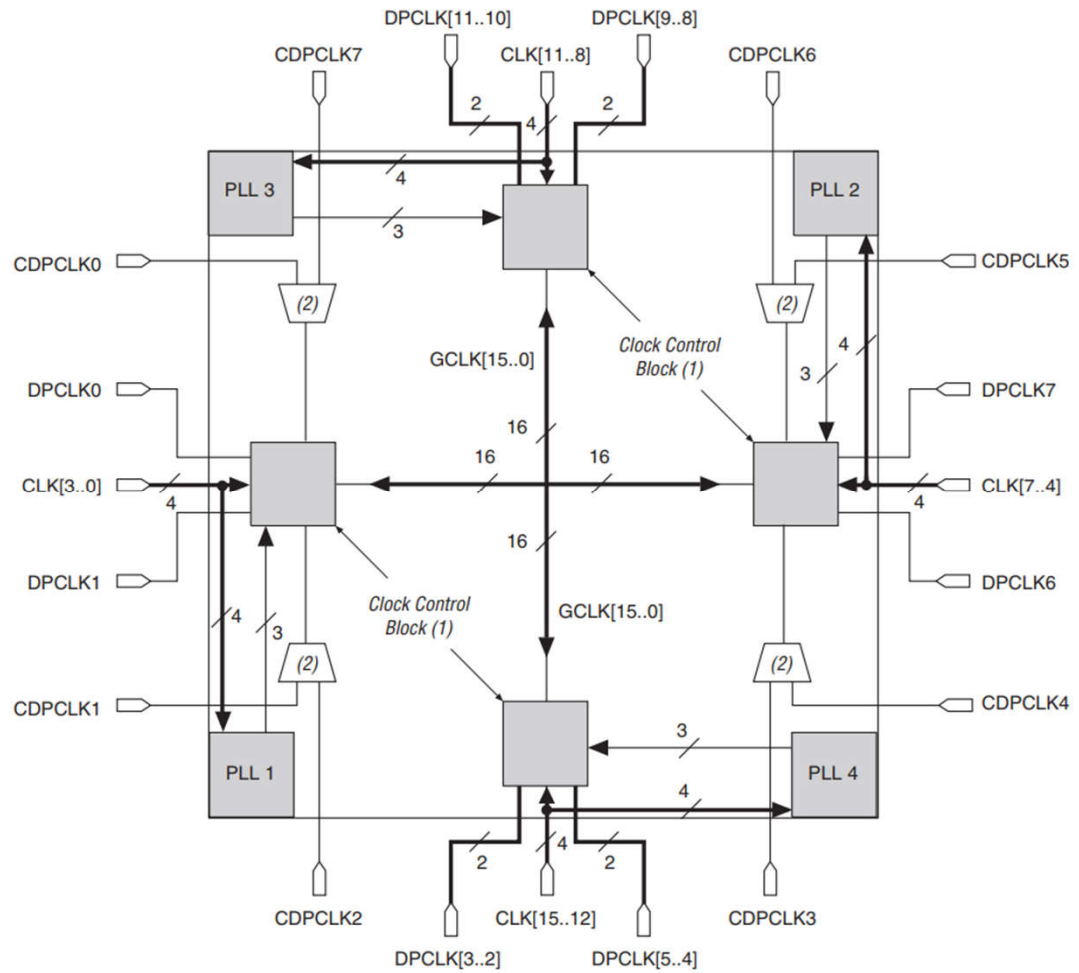


L4 interconnect

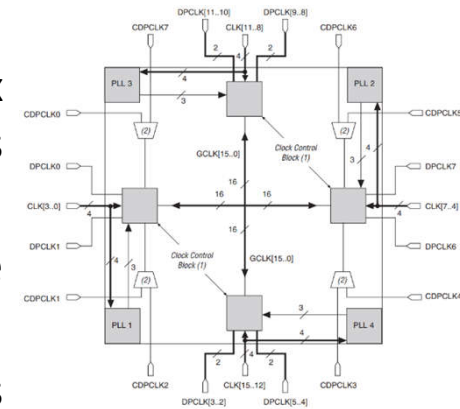
En colonnes, pour optimiser les temps de liaison de 4 en 4 LABs (existe également de 16 en 16 LABs).



Global Network Clock PLL

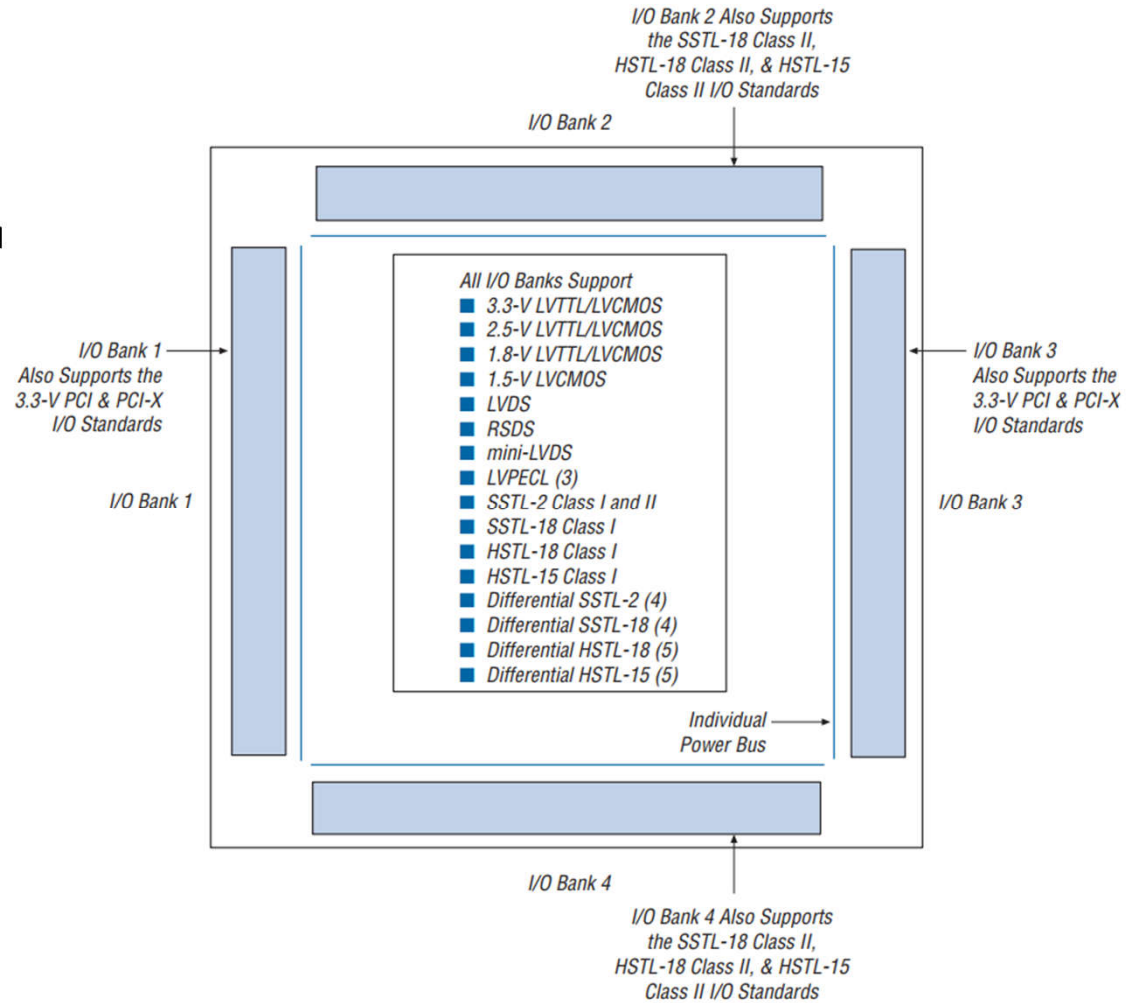


- **But du Global Network Clock :**
- Permettre une distribution optimale des signaux d'horloge avec un temps de propagation le plus constant possible.
- Autoriser l'emploi d'une horloge externe de basse fréquence (simplification de la conception du PCB).
- Être capable de disposer de sources d'horloges diverses à partir d'une horloge unique (par multiplication et division de fréquence, signaux en quadrature, ...).
- **Dans les Cyclone II**
 - 4 PLL pour multiplier ou diviser les fréquences d'horloge entrantes, les retarder, ...
 - Jusqu'à 16 lignes d'horloges en interne.
 - Gestion jusqu'à la fréquence maximale de 402.5 MHz.

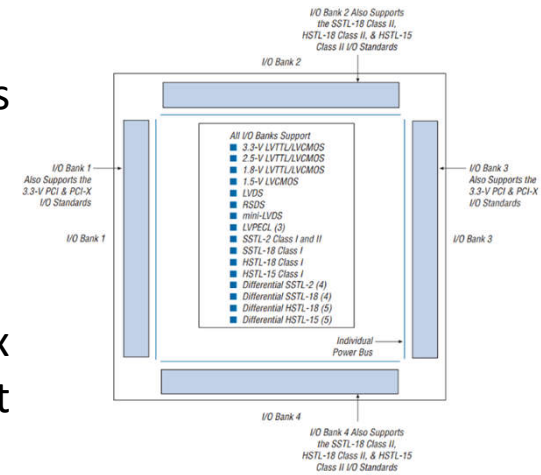


Bloc d'entrée/sortie

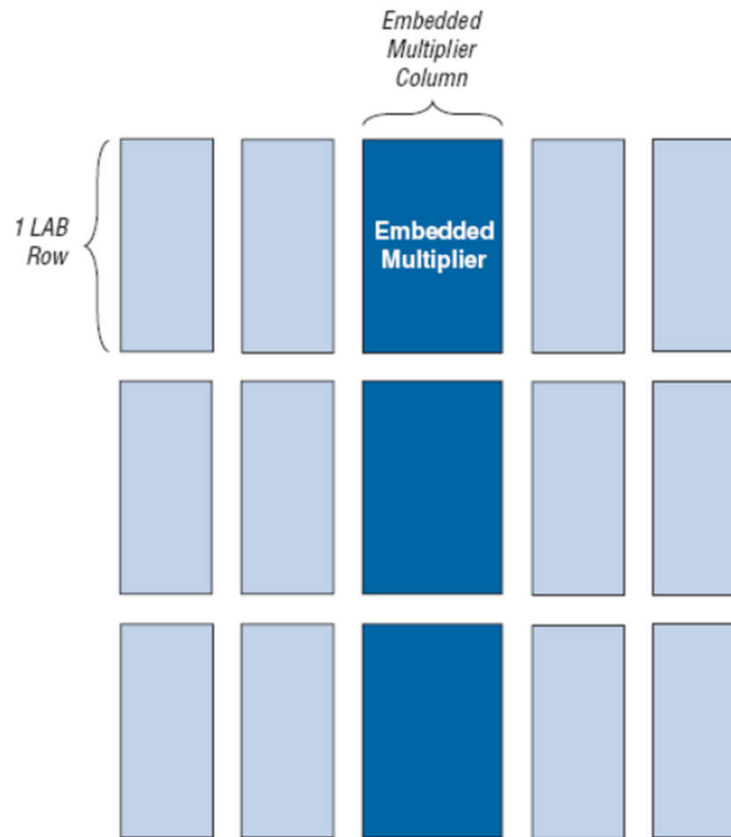
IOE :
Input Output Element



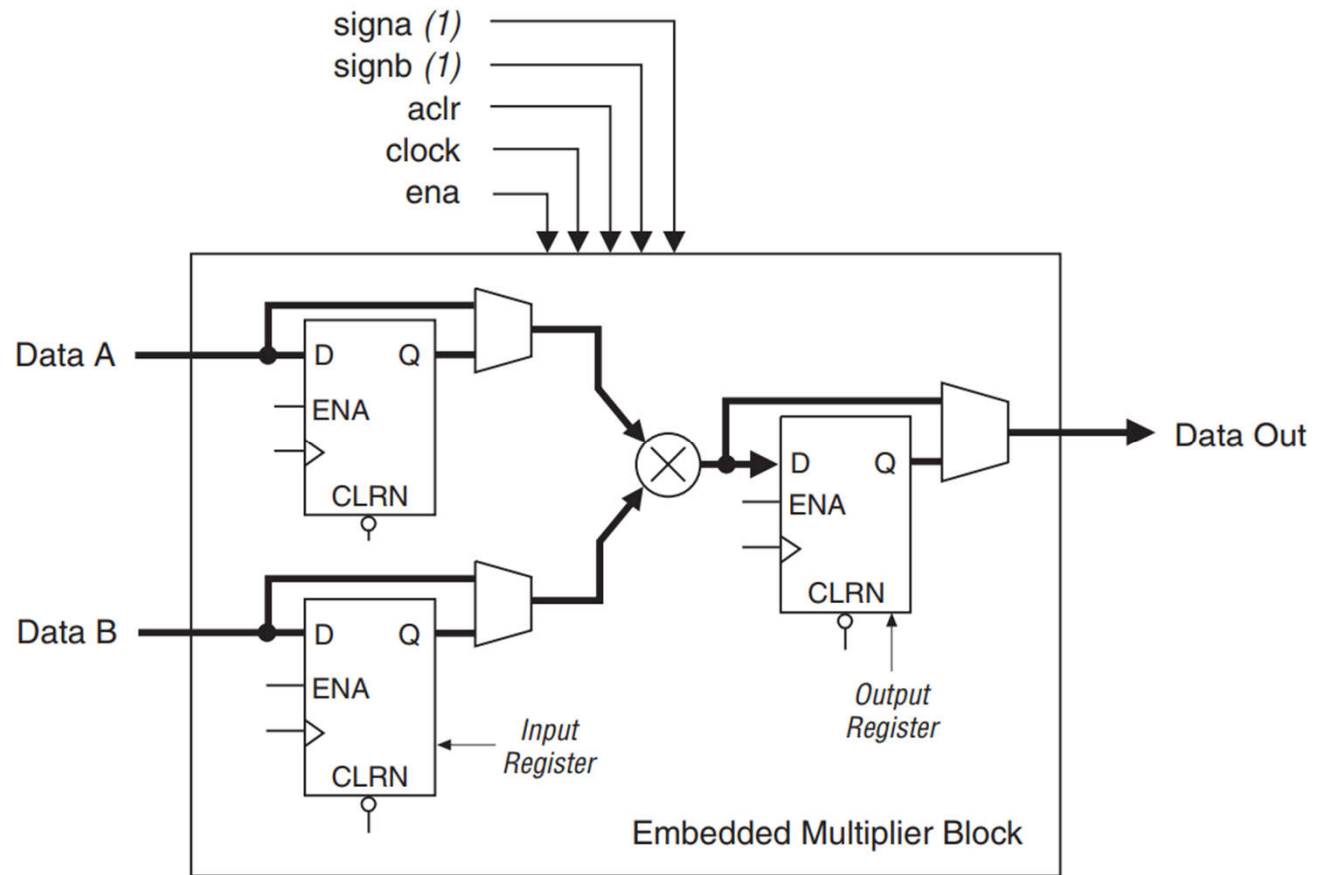
- **LVTTTL et LVCMOS** : Interfaçage avec des circuits logiques standards, fonctionnant à des fréquences en deçà de 100 MHz.
- **SSTL** : Standard mis en place pour la mémoire SDRAM DDR.
- **LVDS** (Low Voltage Differential Signaling) : Signaux différentiels pour des communications à fort débit et faible EMI (émissions électromagnétiques).
- **LVPECL** (Low Voltage Positive Emitter Coupled Logic) : Signaux différentiels à haute immunité au bruit utilisés en vidéo, télécom, distribution d'horloge.
- **PCI et PCI Express** : Bus locaux des PC utilisés pour la connexion de carte d'extension (vidéo, ...).



multiplieurs embarqués



Structure interne d'un multiplieur embarqué

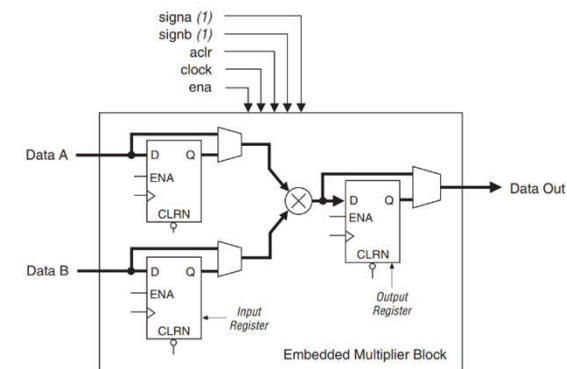
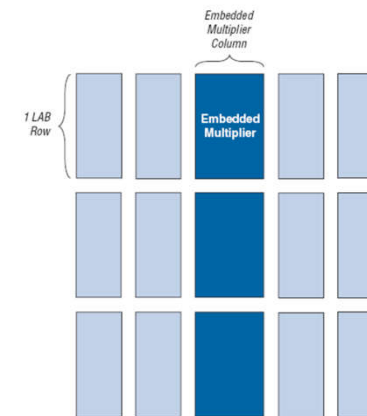


- Réaliser des fonctions de traitement du signal massivement parallèles à faible coût sans amputer le potentiel en LE du FPGA.
- Applications ciblées :
 - Traitement du signal (télévision numérique, radar, ...)
 - Traitement du son.
 - Optimisation en vidéo-projection.

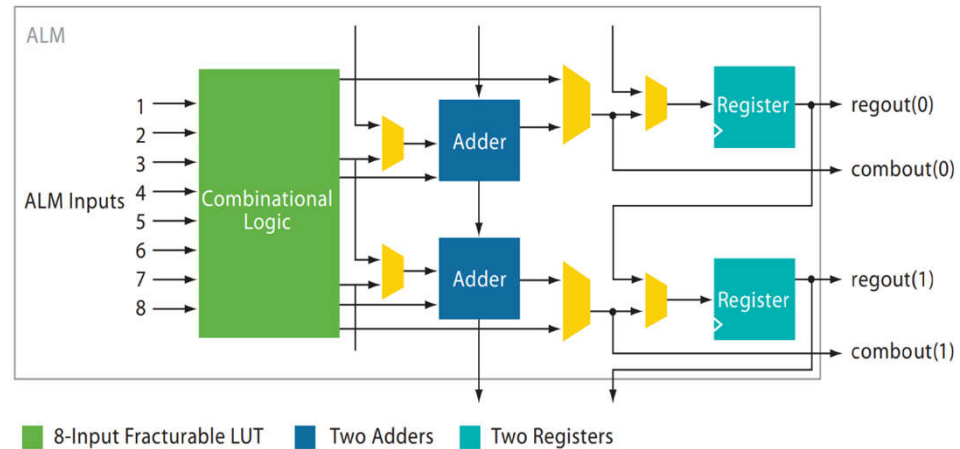
Ressource de la famille Cyclone :

- De 1 à 3 banques de multiplicateurs 18 bits x 18 pour un total pouvant atteindre 150 multiplicateurs dans le plus gros Cyclone II.

Note : ce chiffre peut être étendu en utilisant les modules mémoires M4K pour réaliser des multiplicateurs logiciels (250 dans le plus gros Cyclone II).



Startix 10 Altéra



1 867 680 ALM (Adaptative Logic Module) pour un équivalent de 5 510 000 Les.

(35 000 sur le FPGA utilisé en TP Cyclone II)

Processeur ARM 64 bits quadri-cœurs à 1.5 GHz et ses périphériques.

Tranceiver 30 Gbps.

Interfaces pour différents types de mémoires :

DDR3, DDR4.

HMC (Hybrid Memory Cube).

Blocs DSP :

10 TFLOPS de puissance de calcul en simple précision.

23 TMACS en 16 bits à virgule fixe.

Réseaux d'interconnexions optimisés.

Coût d'un tel composant > 10 000€.